

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年5月30日 (30.05.2003)

PCT

(10) 国際公開番号
WO 03/044868 A1

(51) 国際特許分類¹: H01L 29/788, 29/792, 27/115, 21/8247

545-8522 大阪府 大阪市阿倍野区 長池町 2 2 番 2 2 号
Osaka (JP).

(21) 国際出願番号: PCT/JP02/12028

(22) 国際出願日: 2002年11月18日 (18.11.2002)

(72) 発明者; および

(25) 国際出願の言語: 日本語

(75) 発明者/出願人 (米国についてのみ): 岩田 浩
(IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡
三郷町 信貴ヶ丘 2-4-13 Nara (JP). 柴田 晃秀
(SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良
市山陵町 104-B203 Nara (JP).

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2001-356549
2001年11月21日 (21.11.2001) JP

(74) 代理人: 野河 信太郎 (NOGAWA, Shintaro); 〒530-0047
大阪府 大阪市北区 西天満 5 丁目 1-3 南森町パーク
ビル Osaka (JP).

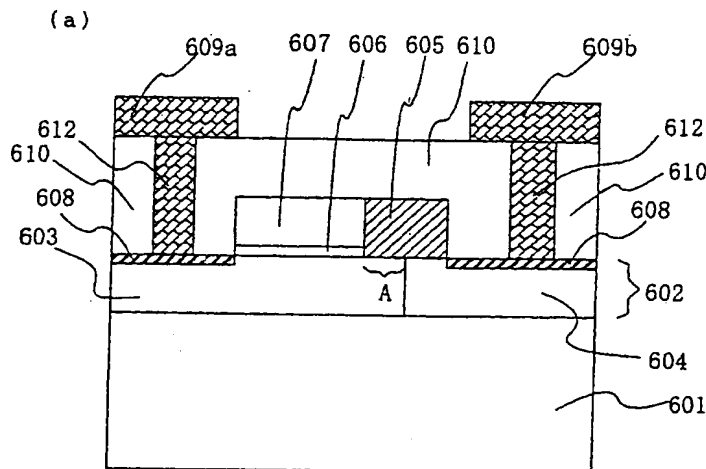
(71) 出願人 (米国を除く全ての指定国について): シャープ
株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

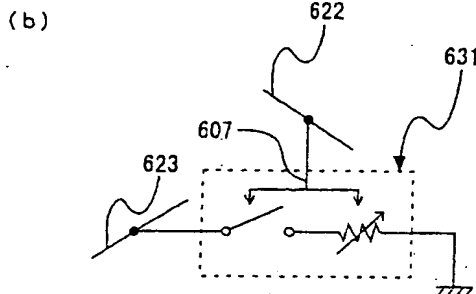
[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE, ITS MANUFACTURING METHOD AND OPERATING METHOD, AND PORTABLE ELECTRONIC APPARATUS

(54) 発明の名称: 半導体記憶装置、その製造方法及び動作方法、並びに携帯電子機器



(57) Abstract: A semiconductor storage device having a first conductivity type region formed in a semiconductor layer, a second conductivity type region formed in the semiconductor layer in contact with the first conductivity type region, a memory functional element disposed on the semiconductor layer across the boundary of the first and second conductivity type regions, and an electrode provided in contact with the memory functional element and on the first conductivity type region via an insulation film, and a portable electronic apparatus comprising this semiconductor storage device. This invention fully copes with scale-down and high-integration by constituting a selectable memory cell substantially of one device.



[続葉有]



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明によれば、半導体層内に形成された第 1 導電型の領域と、半導体層内に第 1 導電型の領域と接して形成された第 2 導電型の領域と、半導体層上に第 1 及び第 2 導電型の領域の境界を跨って配置されたメモリ機能体と、メモリ機能体に接しかつ第 1 導電型の領域上に絶縁膜を介して設けられた電極とを有する半導体記憶装置及びこの半導体記憶装置を備えた携帯電子機器を提供する。本発明によって、選択可能なメモリセルを実質的に 1 つの素子で構成し、微細化及び高集積化に十分に対応することができる。

明細書

半導体記憶装置、その製造方法及び動作方法、並びに携帯電子機器

技術分野

- 5 本発明は、半導体記憶装置、その製造方法及び動作方法、並びに携帯電子機器に関する。より詳細には、電荷量の変化を電流量に変換する機能を有する素子からなる半導体記憶装置とその製造方法及び動作方法、そのような半導体記憶装置を用いた携帯電子機器に関する。

10 技術背景

- 従来から、可変抵抗体の抵抗値を記憶情報とし、その抵抗値を変えることにより記憶情報を書き換え、その抵抗値を検出することにより記憶情報を読み出す不揮発性メモリとして、MRAM (Magnetic Random Access Memory) がある (M. Durlam et al., Nonvolatile Ram Based on Magnetic Tunnel Junction Elements, International
15 Solid-State Circuits Conference Digest of Technical Papers, pp130-131, Feb. 2000)。

このようなMRAMを構成する1つのメモリセルの模式的な断面図を図36 (a) に、等価回路図を図36 (b) に示す。

- メモリセルは、可変抵抗911と選択トランジスタ912とがメタル配線917及び
20 びコンタクトプラグ918を介して接続されて構成されている。また、可変抵抗911の一端にはビット線914が接続されている。

可変抵抗911はMTJ (Magnetic Tunnel Junction) で構成されており、ビット線914に対して直交する方向に延設された書き換えワード線913とビット線との交点において、両者に挟まれている。

- 25 選択トランジスタ912は、半導体基板919上に形成された一对の拡散領域920とゲート電極とにより構成されており、拡散領域920の一方はメタル配線917及びコンタクトプラグ918を介して可変抵抗911に接続されており、他方はソース線915に接続されている。なお、ゲート電極は、選択ワード線916を構成している。

MRAMの書き換え動作は、ビット線914及び書き換えワード線913に流れる電流により発生する合成磁場が、可変抵抗911の抵抗値を変化させることにより行われる。一方、読み出し動作は、選択トランジスタ912をオン状態にした上で、可変抵抗911に流れる電流値、つまり、可変抵抗911の抵抗値を検知することにより行われる。

このように、MRAMのメモリセルは、3端子素子である可変抵抗911と、3端子素子である選択トランジスタ912との2つの素子により構成されている。そのため、さらなるメモリの微細化や大容量化を実現するのには限界があり、困難である。

10 発明の開示

本発明は、選択可能なメモリセルを実質的に1つの素子で構成し、微細化及び高集積化に十分に対応することができる半導体記憶装置、その製造方法及び動作方法、そのような半導体記憶装置を有する携帯電子機器を提供することを目的とする。

すなわち、本発明によれば、半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域と接して形成された第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨って配置されたメモリ機能体と、該メモリ機能体に接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有する半導体記憶装置が提供される。

また、半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域の両側に形成された2つの第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨ってそれぞれ配置された2つのメモリ機能体と、該メモリ機能体のそれぞれに接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有する半導体記憶装置が提供される。

さらに、半導体層内に形成されたチャネル領域と、該チャネル領域の両側に設けられた可変抵抗領域と、該可変抵抗領域を介してチャネル領域の両側に設けられた2つの拡散領域と、チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側に、可変抵抗領域と拡散領域の一部とを跨るように配置された2つのメモリ機能体とを備える半導体記憶装置が提供される。

また、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極

下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側であって前記拡散領域にオーバーラップして形成された、電荷を保持するためのメモリ機能体からなる半導体記憶装置が提供される。

- 5 さらに、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板又は半導体層上にゲート絶縁膜を介して形成された単一のゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に形成された2つの拡散領域と、前記ゲート電極の両側であって前記拡散領域にオーバーラップして形成された2つのメモリ機能体とからなるメモリセルを1つ以上有してなる半導体記憶装置が提供される。
- 10

また、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された単一のゲート電極と、該ゲート電極直下に配置されたチャネル領域と、チャネル領域の両側に配置された2つの拡散領域と、前記ゲート電極の両側であって、拡散領域にオーバーラップして形成された側壁絶縁膜からなるメモリセルを1つ以上有してなり、前記側壁絶縁膜が電荷を保持する機能を有してなる半導体記憶装置が提供される。

15

さらに、半導体基板と、該半導体基板内に形成された第1導電型のウェル領域と、該ウェル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された複数のワード線と、該ワード線の両側にそれぞれ形成された複数の第2導電型の拡散領域と、少なくとも該拡散領域の一部の上、もしくは前記ウェル領域の一部から拡散領域の一部の上に跨って、前記複数のワード線の両側に、前記ワード線、ウェル領域、拡散領域に対して直接又は絶縁膜を介して形成された、電荷を蓄積又はトラップする機能を有する電荷保持膜と、前記拡散領域と接続され、前記ワード線と交差する方向に伸びる複数のビット線からなる半導体記憶装置が提供される。

20

25

また、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極

下に配置されたチャネル領域とからなり、前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部が前記拡散領域の一部にオーバーラップするように形成されてなる半導体記憶装置が提供される。

さらに、第1導電型の半導体層と、該第1導電型の半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの第2導電型の拡散領域とからなり、前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部と拡散領域の少なくとも一部とがオーバーラップしており、前記第1導電型の半導体層は、前記メモリ機能体の下かつ前記拡散領域近傍で、上記ゲート電極下における第1導電型の半導体層表面近傍よりも高濃度の第1導電型の高濃度領域を有している半導体記憶装置が提供される。

また、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、チャネル長方向における前記ゲート電極長をA、前記拡散領域間のチャネル長をB、前記一方のメモリ機能体の端から他方のメモリ機能体の端までの距離をCとすると、 $A < B < C$ なる関係が成り立つ半導体記憶装置が提供される。

さらに、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つのN型拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、前記メモリ機能体に電子を注入して記憶状態を変化させる時と、該メモリ機能体の記憶状態を読み出す時とで、上記拡散領域の一方及び他方に印加する電圧の大小関係が逆に設定される半導体記憶装置が提供される。

また、ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つのP型拡散領域と、前記ゲー

ト電極下に配置されたチャネル領域とからなり、前記メモリ機能体にホールを注入して記憶状態を変化させる時と、該メモリ機能体の記憶状態を読み出す時とで、上記ソース／ドレイン領域の一方及び他方に印加する電圧の大小関係が逆に設定される半導体記憶装置が提供される。

- 5 さらに、半導体基板上にゲート絶縁膜及びゲート電極を形成し、電荷を蓄積又はトラップする機能を有する絶縁膜を得られた基板上全面に堆積し、該絶縁膜を選択的にエッチングしてゲート電極の側壁に側壁絶縁膜を形成することからなる半導体記憶装置の製造方法が提供される。

- また、別の観点から、P型半導体基板、半導体基板中に形成されたP型ウェル領域又は絶縁体上に配置されたP型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方に配置されたチャネル領域と、該チャネル領域の両側に位置する2つのN型ソース／ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、一方のソース／ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも低い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層を基準電圧よりも高い電圧に設定し、他方のソース・ドレイン領域を、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層よりも高い電圧に設定することにより、ホールを前記メモリ機能体に注入する半導体記憶装置の動作方法が提供される。

- 20 さらに、N型半導体基板、半導体基板中に形成されたN型ウェル領域又は絶縁体上に配置されたN型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方のチャネル領域と、該チャネル領域の両側に位置する2つのP型ソース・ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、一方のソース・ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも高い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層を基準電圧よりも低い電圧に設定し、他方のソース・ドレイン領域を、半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層よりも低い電圧に設定することにより、電子を前記メモリ機能体に注入する半導体記憶装置の動作方法が提供される。

また、上記半導体記憶装置を備えた携帯電子機器が提供される。

図面の簡単な説明

図 1 は本発明の半導体記憶装置（実施の形態 1）の要部の概略断面図及び等価回路
5 図である。

図 2 は本発明の半導体記憶装置（実施の形態 1）の変形を示す要部の概略断面図である。

図 3 は本発明の半導体記憶装置（実施の形態 2）の要部の概略断面図である。

図 4 は本発明の半導体記憶装置（実施の形態 3）の要部の概略断面図である。

10 図 5 は本発明の半導体記憶装置（実施の形態 4）の製造方法を説明するための要部の概略断面工程図である。

図 6 は本発明の半導体記憶装置（実施の形態 4）の電荷保持膜の機能を説明するための回路図である。

図 7 は本発明の半導体記憶装置（実施の形態 5）を示す要部の概略断面図である。

15 図 8 は本発明の半導体記憶装置（実施の形態 6）を示す要部の概略断面図である。

図 9 は本発明の半導体記憶装置（実施の形態 6）の書き込み動作を説明するための要部の概略断面図である。

図 10 は本発明の半導体記憶装置（実施の形態 6）の読み出し動作を説明するための要部の概略断面図である。

20 図 11 は本発明の半導体記憶装置（実施の形態 6）の消去動作を説明するための要部の概略断面図である。

図 12 は本発明の半導体記憶装置（実施の形態 7）を示す要部の概略断面図である。

。

図 13 は本発明の半導体記憶装置（実施の形態 8）を示す要部の概略断面図である。

25

。

図 14 は本発明の半導体記憶装置（実施の形態 9）を示す要部の概略断面図である。

。

図 15 は本発明の半導体記憶装置（実施の形態 10）を示す要部の概略断面図である。

図 1 6 は本発明の半導体記憶装置（実施の形態 1 0）の製造方法を説明するための要部の概略断面工程図である。

図 1 7 は本発明の半導体記憶装置（実施の形態 1 1）を示す要部の概略断面図である。

- 5 図 1 8 は本発明の半導体記憶装置（実施の形態 1 1）の製造方法を説明するための要部の概略断面工程図である。

図 1 9 は本発明の半導体記憶装置（実施の形態 1 2）を示す要部の概略断面図である。

- 10 図 2 0 は本発明の半導体記憶装置（実施の形態 1 3）を示す要部の概略断面図である。

図 2 1 及び図 2 2 は本発明の半導体記憶装置（実施の形態 1 3）の製造方法を説明するための要部の概略断面工程図である。

図 2 3 は本発明の半導体記憶装置（実施の形態 1 4）の要部の概略断面図である。

図 2 4 は本発明の半導体記憶装置（実施の形態 1 5）の要部の概略断面図である。

- 15 図 2 5 及び図 2 6 は図 2 4 の要部の拡大概略断面図である。

図 2 7 は本発明の半導体記憶装置（実施の形態 1 5）の電気特性を示すグラフである。

図 2 8 は本発明の半導体記憶装置（実施の形態 1 5）の変形の要部の概略断面図である。

- 20 図 2 9 は本発明の半導体記憶装置（実施の形態 1 6）の要部の概略断面図である。

図 3 0 は本発明の半導体記憶装置（実施の形態 1 7）の要部の概略断面図である。

図 3 1 は本発明の半導体記憶装置（実施の形態 1 8）の要部の概略断面図である。

図 3 2 は本発明の半導体記憶装置（実施の形態 1 9）の要部の概略断面図である。

図 3 3 は本発明の半導体記憶装置（実施の形態 2 0）の要部の概略断面図である。

- 25 図 3 4 は本発明の半導体記憶装置（実施の形態 2 1）の要部の概略断面図である。

図 3 5 は本発明の半導体記憶装置を組み込んだ携帯電子機器の概略構成図である。

図 3 6 は従来の半導体記憶装置を示す要部の概略断面図である。

発明を実施するための最良の形態

以下に、本発明の半導体記憶装置、その製造方法及び携帯電子機器について、図面に基づいて詳細に説明する。なお、以下に説明においては、導電型は逆であってもよいし、各実施の形態において説明されている構成要件は、他の実施の形態において適用してもよい。

5

実施の形態1

本実施の形態の半導体記憶装置は、可変抵抗を有して実質的に1つの3端子素子により構成される。

図1(a)は、本発明の半導体記憶装置の一例として、液晶TFT表示素子のガラスパネル上に形成された記憶装置のメモリセルの概略断面図である。この記憶装置は画像調整用に用いられる。また、図1(b)は、メモリセルの等価回路図である。

このメモリセルは、図1(a)に示したように、ガラスパネル601上の半導体層602内に形成されたP型拡散領域603と、半導体層602内にP型拡散領域603と接して形成されたN型拡散領域604と、半導体層602上に、P型拡散領域603とN型拡散領域604との境界を跨って配置されたメモリ機能体605と、このメモリ機能体605に接し、P型拡散領域603上に絶縁膜606を介して形成されP型拡散領域603とは絶縁された単一の電極607とを有している。さらに、P型拡散領域603の表面には高融点金属シリサイド膜608が形成されており、この高融点金属シリサイド膜608には配線609aが接続されている。また、N型拡散領域604の表面にも高融点金属シリサイド膜608が形成されており、この高融点金属シリサイド膜608には配線609bが接続されている。配線609a、609bは、それぞれ層間絶縁膜610に開口したコンタクト孔を埋めるコンタクトプラグ612を介して高融点金属シリサイド608に接続されている。

また、図1(b)に示すように、P型拡散領域603の表面付近であって電極607下の部分は、スイッチ機能を有しており、P型拡散領域603の表面付近であってメモリ機能体605の下の部分は、可変抵抗Aとなっている。電極607は、スイッチを切り替える入力端子としての機能を有している。スイッチ及び可変抵抗Aは、電極607とこの電極607に隣接して形成された(電極607の側壁に形成された)メモリ機能体605との下に隣接して形成されている。つまり、スイッチと可変抵抗

Aとは、電極607とメモリ機能体605との境界で規定される位置において互いに隣接して形成されており、実質的に一体である。したがって、スイッチと可変抵抗と電極607とは、1つの素子631から構成される。

5 なお、メモリセルを複数個配列してメモリセルアレイを構成する場合には、電極607をワード線622に、素子631の一端をビット線623に接続すればよい。

このメモリセルは、P型拡散領域603と、N型拡散領域604と、選択ワード線として機能する電極607とのそれぞれに所定の電圧を与えることにより、読み出し及び書き換えを行うことができる。

10 例えば、P型拡散領域603の電圧を基準電位とし、N型拡散領域604に、基準電位に対して正方向の電圧を印加する。この際、電極607を非選択状態（例えば、基準電圧印加状態）にしておくと電極607の下はP型のままである。そのため、P型拡散領域603とN型拡散領域604とのPN接合が逆バイアス状態となり、配線609aと配線609bとの間には、PN逆方向電流しか流れず、電流値としてはほとんど無視できる。これに対し、電極607を選択状態（例えば、基準電圧に対して
15 正方向に電圧を印加）にすると、電極607の下はN型に反転するため、可変抵抗Aの抵抗値に従った電流が流れる。したがって、この電流を検知することにより、メモリ情報を読み出すことができる。

可変抵抗Aの抵抗値は、メモリ機能体605内に蓄えられた電荷量によって変化させる、すなわち書き換えを行うことができる。メモリ機能体605内に電荷を蓄える
20 ために、P型拡散領域603を基準電圧として、N型拡散領域604に読み出し時と比較して非常に大きな逆バイアス電圧（例えば、読み出し時の電位差の3倍以上）を印加することにより、バンド間トンネル電流を利用する。つまり、電極607を基準電圧に対して正に印加すると電子が、負に印加するとホールが、それぞれメモリ機能体605内に蓄えられる。また、P型拡散領域603を基準電圧として、N型拡散領
25 域604に比較的大きな逆バイアス（例えば、読み出し時の2～3倍程度）を印加し、同時に電極607に正電圧を印加することにより、チャネルホット電子によりメモリ機能体605内に電荷を蓄えてもよいし、これらの両者により、メモリ機能体605内に電荷を蓄えてもよい。

なお、N型拡散領域604とP型拡散領域603とが、逆導電型の場合には、上記

印加電圧の符号を全て反対にすることにより、同様に書き換え動作を行うことができる。

このように、この実施の形態のメモリセルは、実質的に1つの素子から構成され、1つの素子はわずか3端子を有するのみである。したがって、半導体記憶装置の微細化及び高集積化を実現することができる。

メモリ機能体605は、少なくとも、電荷を保持する領域又は電荷を蓄え、保持する機能を有する膜を含んで構成される。さらに、メモリ機能体605は、電荷を逃げていく領域又は電荷を逃げていく機能を有する膜を含むことが好ましい。例えば、メモリ機能体605において、P型拡散領域603、N型拡散領域604及び電極607と接触する面を、電荷を逃げていく領域等で構成し、電荷を保持する領域が直接P型拡散領域603、N型拡散領域604及び電極607と接触しないようにすることにより、飛躍的に記憶保持時間の信頼性を向上させることができる。ただし、メモリ機能体605における電荷を保持する領域等は、P型拡散領域603とN型拡散領域604との境界を跨って配置されていることが、読み出し速度を向上させる上で非常に重要である。

電極607は、メモリ機能体605の側壁のみに形成されるか、あるいはメモリ機能体605の上部を覆わないことが好ましい。このような配置により、コンタクトプラグ612と電極607又はコンタクトプラグ612とメモリ機能体605との距離を近づけて又は重なるように配置して、微細化を図る場合においても、電極607と配線609bとが短絡することを防止することができる。

高融点金属シリサイド膜608は、チタン、タンタル、モリブデン、タングステン等の高融点金属によるシリサイドにより形成することができ、P型拡散領域603及びN型拡散領域604と高融点金属シリサイド膜608とはオーミック接続、ショットキー接続のいずれでもよい。

なお、配線609aとP型拡散領域603との接続は、図2に示すように、高融点金属シリサイド膜608を形成せずに、P型拡散領域603の中にN型拡散領域611を形成して、このN型拡散領域を介して行ってもよい。

実施の形態2

本発明の半導体記憶装置は、図3に示したように、電極807の両側にメモリ機能膜805を形成してもよい。つまり、実施の形態1に示したメモリセルの電極607を中心に左右対称とする以外は、実施の形態1のメモリセルと実質的に同様の構成としてもよい。

- 5 このような構成により、実施の形態1と比較して、さらに集積度を向上させることができる。

つまり、電極807により、2つのメモリ機能体805の記憶情報（メモリ機能体805内に蓄積されている電荷量に応じた可変抵抗Aの抵抗情報）を、2つのN型拡散領域804間に流れる電流量として、それぞれ独立に読み出すことができる。例えば、2つのN型拡散領域804の一方を基準電圧とし、電極807に正電圧を印加してP型拡散領域803に反転層を形成させる。この際さらに、他方のN型拡散領域804に、反転層の一部が消失する（空乏層となる）のに十分な正電圧を印加する。これにより、反転層が消失した側の可変抵抗Aは、空乏化により実質的に可変抵抗機能を失う。したがって、一方のN型拡散領域804の側にある可変抵抗Aの情報のみを、2つのN型拡散領域804間に流れる電流量として読み出すことができる。

このような方法により、2つのメモリ機能体805のそれぞれに、独立して電荷を蓄積させ、独立して読み出すことにより、1つのメモリセルで2ビット（4値）の情報を記憶することができる。

さらに、それぞれのメモリ機能体に蓄積する電荷量を多値化（3値以上）することにより、より記憶量を増やすことが可能である。例えば、それぞれのメモリ機能体805に3値の記憶を行えば、1つのメモリセルあたり9値の記憶ができ、1つのメモリ機能体に4値の記憶を行えば16値（4ビット）の記憶ができ、1つのメモリ機能体に8値の記憶を行えば64値（6ビット）の記憶ができる。

25 実施の形態3

この実施の形態のメモリセルは、図4に示したように、SOI基板900上に、ロジックLSIと不揮発性メモリとを混載してFPGA（Field Programmable Gate Array）を構成するものであり、可変抵抗領域902が別途形成されている。

つまり、このメモリセルは、N型シリコン層によって形成されるチャネル領域90

1と、このチャネル領域901の両側に形成された可変抵抗領域902と、これら可変抵抗領域902を介してチャネル領域901の両側に設けられたN型の拡散領域903と、チャネル領域901上にゲート絶縁膜904を介して設けられたゲート電極905と、このゲート電極905の両側であって、可変抵抗領域902と拡散領域903の一部とを跨るように配置された2つのメモリ機能体906とから構成される。

可変抵抗領域902は、P型不純物が支配的に導入された、すなわち、P型不純物濃度がN型不純物濃度よりも高く導入されたシリコン層であり、チャネル領域901と拡散領域903とに挟まれたために、空乏化している。この空乏化は、完全空乏化であつてもよいし、部分空乏化であつてもよい。

メモリ機能体906は、ONO膜（シリコン酸化膜9061、シリコン窒化膜9062、シリコン酸化膜9063）により形成されており、電荷を蓄え、保持する機能を有する膜としてL字状のシリコン窒化膜を用いた。

なお、チャネル領域901と、拡散領域903とは、同じ導電型でなくてもよい。重要なことは、可変抵抗領域902に、拡散領域とは逆導電型を与える不純物を、同導電型を与える不純物よりも多く導入することである。

このメモリセルは、メモリ機能体906に蓄えられた電荷によって可変抵抗領域902の抵抗を変化させることができる。具体的には、メモリ機能体906に蓄えられた電荷によって、可変抵抗領域902においてP型の性質がより強くなったり、N型の性質がより強くなったりする。ゲート電極905に正電圧を加えることにより、ゲート電極905側壁から発生する回りこみ電界によって、可変抵抗領域902と拡散903との障壁が低下し、拡散領域903とチャネル領域901との間で電流が流れる。その電流が、可変抵抗領域902の抵抗値によって変化することにより、メモリ効果が生じる。

例えば、一方の拡散領域903の電圧を基準電位として、ゲート電極905に正方向の電圧を印加する。このとき、他方の拡散領域903に印加する電圧を基準電位に対して正方向に印加する。他方の拡散領域903に印加する電圧は、他方の拡散領域903の側において、ゲート電極905側壁からの回りこみ電界よりも他方の拡散領域903からの電界が支配的になって可変抵抗領域902が空乏化するまで、電圧を

高くする。このような電圧印加条件であれば、正の電圧を印加した他方の拡散領域 903 側の可変抵抗領域 902 においては、拡散領域電界の影響が支配的な空乏層に変化し、可変抵抗機能が消失する。したがって、一方の拡散領域 903 側（基準電圧印加）の可変抵抗領域 902 の情報のみを記憶情報として、つまり、可変抵抗領域 902 の記憶情報を独立に、2つの領域 903 間に流れる電流量として読み出すことができる。ここで、可変抵抗領域 902 が、N型が支配的な場合、つまり拡散領域がP型の場合は、上記印加電圧の符号を全て反対にすることにより、同様に読み出し動作を行うことができる。

10 なお、この実施の形態では、ゲート電極下の電流が流れる領域をチャネル領域と定義している。

実施の形態 4

この実施の形態の半導体記憶装置を構成するメモリセルは、2ビットの記憶が可能な不揮発性メモリセルとして、図5(c)に示したように、半導体基板1上に、ゲート絶縁膜2を介して、通常のトランジスタと同程度のゲート長を有するゲート電極3が形成されており、ゲート絶縁膜2及びゲート電極3の側壁に、サイドウォールスペーサ（側壁絶縁膜）形状のメモリ機能体となる電荷保持膜4が形成されて構成されている。ゲート電極下の半導体基板表面はチャネル領域6となっている。また、チャネル領域6の両側にはチャネル領域の導電型、つまり、この実施の形態では、半導体基板表面の導電型と逆導電型の不純物拡散領域からなるソース／ドレイン領域が形成されている。ソース／ドレイン領域は、高濃度不純物拡散領域7と低濃度不純物拡散領域8から構成され、チャネル領域6近傍に低濃度不純物拡散領域8が配置されている。

25 メモリ機能体は、ソース／ドレイン領域の上に形成されており、少なくともメモリ機能体下に位置するソース／ドレイン領域の一部は、低濃度不純物拡散領域8であることが好ましく、この低濃度不純物拡散領域8は、メモリ機能体中に蓄えられた電荷の多寡により、空乏化又は導電型が逆転するように設定されていることが好ましい。

このメモリセルでは、メモリトランジスタのメモリ機能体は、ゲート絶縁膜とは独立して形成されている。つまり、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が

担うトランジスタ動作機能とは分離されている。したがって、メモリ機能体である電荷保持膜4は、メモリ機能に適した材料で形成することができる。

また、高濃度不純物拡散領域7がゲート電極3からオフセットされていることにより、ゲート電極3に電圧を印加したときのメモリ機能体となる電荷保持膜4下の低濃度不純物拡散領域8の反転しやすさを、メモリ機能体となる電荷保持膜4に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。

このメモリセルは、メモリ機能体への電子注入（Nチャネル型素子の場合は書込みと定義）において低濃度不純物拡散領域8が空乏化又は反転する。このため、見かけ上、ゲート電極に対してソース／ドレイン領域がオフセットされたMOSFETと等価の構造となり、ソース／ドレイン領域間の電流量が極端に減少する。これに対し、メモリ機能体へのホール注入（Nチャネル型素子の場合は消去と定義）では、もともと低濃度不純物拡散領域8が形成されているため、イニシャル状態（電子もホールもメモリ機能体に蓄積されていない状態、もしくは、熱平衡状態）と比較して、ソース／ドレイン領域間の電流は大きく変化しない。

したがって、このメモリセルでは、不揮発性メモリ（例えば、EEPROMやFLASH）において大きな問題となる過消去が生じず、過消去対策周辺回路を設ける必要がないという大きな利点がある。

このメモリセルは、通常のロジックトランジスタと同様の工程を経て、形成することができる。

まず、図5（a）に示すように、半導体基板1上に、膜厚1～6 nm程度のシリコン酸窒化膜からなるゲート絶縁膜2及び膜厚50～400 nm程度のポリシリコン、ポリシリコンと高融点金属シリサイドの積層膜又はポリシリコンと金属との積層膜からなるゲート電極材料膜を形成し、所望の形状にパターニングすることによりゲート電極3を形成する。

なお、ゲート絶縁膜及びゲート電極の材料は、上述したように、その時代のスケーリング則に則ったロジックプロセスにおいて使われる材料を用いればよく、上記材料に限定されるものではない。

続いて、ゲート絶縁膜2とは完全に分離して、図5（b）に示すように、得られた

半導体基板1上全面に、膜厚20～100nm程度のシリコン窒化膜からなる膜を形成し、異方性エッチングによりエッチバックすることにより、記憶に最適な電荷保持膜4を、ゲート電極の側壁にサイドウォールスペーサ状に形成する。なお、シリコン窒化膜の代わりに、膜厚2～20nm程度のシリコン酸化膜と膜厚2～100nm程度のシリコン窒化膜を順次堆積し、異方性エッチングによりエッチバックして記憶に最適な電荷保持膜4を、ゲート電極の側壁にサイドウォールスペーサ状に形成することがより好ましい。

その後、図5(c)に示すように、ゲート電極3及び電荷保持膜4をマスクとしてイオン注入することにより、ソース/ドレイン領域(高濃度不純物拡散領域7及び低濃度不純物拡散領域8)を形成する。低濃度不純物拡散領域8はメモリ機能体4を形成する工程の前にイオン注入により形成してもよい。なお、低濃度不純物拡散領域8は、チャネルを形成する不純物と逆導電型で、 $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ 、さらに、 $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{17} / \text{cm}^3$ の範囲の不純物濃度を有していることが好ましい。

このように、ゲート絶縁膜2とメモリ機能体となる電荷保持膜4とを分離して配置させることにより、通常のトランジスタと同じ製造工程で、同じ程度の短チャネル効果を有するメモリセルトランジスタを形成できる。したがって、上記の手順で同一チップ上に形成したトランジスタの一部で論理回路部を構成し、その他のトランジスタでメモリ部(例えば、不揮発性メモリ)を構成することができる。この場合、論理回路部はメモリ機能体に電荷が注入されない電圧範囲で動作させれば、トランジスタの特性の変化を防ぐことができ、メモリ部では、メモリ機能体に電荷が注入されるに十分な電圧を印加することにより、書換えを行なうことができる。つまり、論理回路と不揮発性メモリとを極めて簡単な工程で混載させることが可能となる。

従来技術で示した可変抵抗型2素子/セル型不揮発性メモリ(MRAM)以外に、代表的な不揮発性メモリとしてEEPROMがある。

EEPROMは、図6(a)に示したように、コントロールゲート線(CGL)に接続された選択トランジスタ(STr)と、ワード線(WL)に接続され、電荷保持膜(MF)を有するメモリトランジスタ(MTr)との2つのトランジスタにより、メモリセルが構成されていたのに対して、上記構造のメモリセルは、図6(b)に示

したように、2つのメモリ機能体による2つの可変抵抗効果によって、1つのゲート電極（つまり、1本のワード線、WL）で、選択トランジスタとメモリトランジスタとの機能を備えたメモリセルを構成できる。すなわち、ソース・ドレイン領域間かつチャンネル領域両端において、ゲート電極両側のメモリ機能体下に配置された可変抵抗が、チャンネル領域と接続されているとみなすことができる。メモリ機能体は、該メモリ機能体に保持された電荷の多寡に対応して、ゲート電極への電圧印加によって、メモリ機能体下に位置する拡散領域の抵抗を変化させ、一方の拡散領域から他方の拡散領域に電流量を変化させるように構成されている。また、1つのメモリセルが、半導体基板に接続された1つの端子と、2つの拡散領域に接続された2つの端子と、ゲート電極に接続された1つの端子との4つの端子のみによって構成されている。さらに、この半導体記憶装置は、半導体基板に与えられる電圧と、ゲート電極に与えられる電圧と、2つの拡散領域のそれぞれに与えられる電圧との4種の電圧印加のみにより、読み出し、書込み又は消去動作のいずれかが行われる。

これにより、1つのメモリセルを選択するために、ゲート電極と接続されている又はゲート電極そのものの機能を有するワード線を1本選択するのみでよい。また、2つのトランジスタを形成する必要がなく、さらなる高集積化が可能となる。換言すれば、ゲート電極つまりコントロールゲート線やワード線の本数が増えてセル面積が小さくならない図6（a）に対し、本発明では、1つのセルに対してワード線1本で動作させることができる。例えば、ワード線を最小加工寸法（最小の配線幅と最小の配線間隔）で形成し、メモリセル領域内に敷き詰めるとすると、1つのメモリセルを構成する上で、1本のワード線ですむ場合は、ワード線がn本必要な場合と比べて $1/n$ のセル占有面積に縮小できる効果がある。（図6（a）を例にすると、メモリセルを構成するにあたり、ワード線2本必要としており、1つのメモリセルあたり1ビット（2値）の情報を記憶している。これに対し、図6（b）では、ワード線1本で1つのメモリセルを構成しており、1つのメモリセルあたり、2ビット（1つのゲート電極（ワード線）の両側に電荷保持膜があるため）、4値の情報を記憶している。つまり、メモリセルとして、 $1/2$ （ワード線が2本対1本）の占有面積となり、1ビットあたりは、 $1/4$ の占有面積まで縮小できる効果がある。

実施の形態 5

実施の形態 4 におけるシリコン窒化膜によるメモリ機能体（電荷保持膜 4）に代えて、図 7（a）～（e）に示すように、多種多様なメモリ機能体を採用することができる。

- 5 例えば、図 7（a）に示すように、メモリ機能体は、膜厚 1～20 nm 程度のシリコン酸化膜 4 1、膜厚 2～100 nm 程度のシリコン窒化膜 4 2、膜厚 5～100 nm 程度のシリコン酸化膜 4 3 からなる ONO 膜によって形成されている。

- また、メモリ機能体は、図 7（b）に示すように、膜厚 1～20 nm 程度のシリコン酸化膜 4 4、膜厚 2～100 nm 程度のシリコン窒化膜 4 5 からなる ON 膜によつて形成されていてもよい。
- 10

さらに、メモリ機能体は、図 7（c）に示すように、膜厚 1～20 nm 程度のシリコン酸化膜 4 6、膜厚 5～100 nm 程度のシリコン窒化膜 4 7 からなる ON 膜によって形成されており、シリコン窒化膜 4 7 が半導体基板と接触していてもよい。なお、シリコン酸化膜 4 6 とシリコン窒化膜 4 7 とを入れ替えてもよい。

- 15 また、メモリ機能体は、図 7（d）に示すように、膜厚 1 nm～20 nm 程度のシリコン酸化膜からなる絶縁膜 4 8 を介して膜厚 10～100 nm 程度のポリシリコンからなるフローティングゲート導電膜 4 9 によって形成されていてもよい。なお、導電膜を用いる場合には、メモリ膜表面は図示していないが、絶縁膜で覆われることが好ましい。

- 20 さらに、メモリ機能体は、図 7（e）のように、膜厚 5～100 nm 程度のシリコン酸化膜、シリコン窒化膜、高誘電体膜等の絶縁体材料からなる絶縁膜 4 8 1 によって形成されており、その絶縁膜 4 8 1 中に、シリコンなどの導電体からなるドット状（直径 1～8 nm 程度）のフローティングゲート導電膜 4 9 1 が 1 つ以上分散されている。

- 25 上述した構成のメモリ機能体、特にシリコン窒化膜系のメモリ機能体を使用すれば、量産工場に導入しやすく非常に好ましいが、上述する膜構成及び材料に限定されるものではなく、電荷保持機能を有する膜又は電荷保持機能を有する材料（例えば、シリコン窒化膜、リン・ボロン等の不純物を含むシリケートガラス、シリコンカーバイド、アルミナ、ハフニウムオキシライド、ジルコニウムオキシライド、タンタルオキシライド、

ド、酸化亜鉛、強誘電体材料等)と絶縁膜の積層構造膜もしくは、絶縁体中に離散的に電荷保持機能を有する材料を含んでいれば、基本的に本発明の半導体記憶装置を実施することができる。

5 実施の形態6

この実施の形態の半導体記憶装置を構成するメモリセルは、図8に示したように、半導体基板中に形成されたP型ウェル11の表面に、N型の第1の拡散領域12と第2の拡散領域13とが形成されており、これらの拡散領域12、13の間であって、ウェル11の最上層部にチャネル領域が形成されている。このチャネル領域上には、膜厚1~6nm程度のシリコン酸化膜又はシリコン窒化膜からなるゲート絶縁膜14を介してゲート電極17が形成されている。ゲート電極17は、拡散領域12、13とオーバーラップしておらず、ゲート電極17で覆われないチャネル領域(図8中、71)がわずかに残されている。ゲート電極17の両端には、電荷を蓄積又はトラップすることにより情報を記憶するため、膜厚10~100nm程度(半導体基板の水平方向の幅)のシリコン窒化膜からなり、メモリ機能体となる電荷保持膜15、16が配置しており、ゲート電極17で覆われないチャネル領域71が、電荷保持膜15、16で覆われている。ここで重要なことは、拡散領域12、13とメモリ機能体となる電荷保持膜が少なくとも一部オーバーラップしていることである。

次に、この半導体記憶装置の動作原理を以下に説明する。以下の動作原理は本実施の形態の半導体記憶装置のみならず、本発明の他実施形態の半導体記憶装置においても適用することができる。

この半導体記憶装置の書込み動作原理を、図9(a)及び図9(b)を用いて説明する。

ここで、書込みとは、電荷保持膜に電子を注入することを意味する。

メモリ機能体となる電荷保持膜16に電子を注入する(書込む)ためには、図9(a)に示すように、第1の拡散領域12をソース電極に、第2の拡散領域13をドレイン電極とする。例えば、第1の拡散領域12及びウェル11に0V、第2の拡散領域13に+6V、ゲート電極17に+2Vを印加すればよい。このような電圧条件によれば、反転層410が、第1の拡散領域12(ソース電極)から伸びるが、第2の

拡散領域13（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散領域13（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロンとなる。このホットエレクトロンが電荷保持膜16に注入されることにより書込みが行なわれる。

- 5 なお、電荷保持膜15近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。また、拡散領域12、13とメモリ機能体となる電荷保持膜がまったくオーバーラップしていない場合も、ホットエレクトロンの発生が抑制され、実用的な印加電圧範囲（電圧差20V以下）で書込みが困難になる。

10 このようにして、メモリ機能体となる電荷保持膜16に電子を注入して、書込みを行なうことができる。

- 一方、メモリ機能体となる電荷保持膜15に電子を注入する（書込む）ためには、図9（b）に示すように、第2の拡散領域13をソース電極に、第1の拡散領域12をドレイン電極とする。例えば、第2の拡散領域13及びウェル11に0V、第1の拡散領域12に+6V、ゲート電極17に+2Vを印加すればよい。このように、電
15 荷保持膜16に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、電荷保持膜15に電子を注入して、書込みを行なうことができる。

次に、上記半導体記憶装置の読み出し動作原理を、図10を用いて説明する。

- メモリ機能体となる電荷保持膜15に記憶された情報を読み出す場合、第1の拡散領域12をソース電極、第2の拡散領域13をドレイン電極とし、トランジスタを飽
20 和領域動作させる。例えば、第1の拡散領域12及びウェル11に0V、第2の拡散領域13に+2V、ゲート電極17に+1Vを印加すればよい。この際、電荷保持膜15に電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、領域15に電子が蓄積している場合は、電荷保持膜15近傍で反転層410が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより
25 、電荷保持膜15の記憶情報を読み出すことができる。このとき、電荷保持膜16における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。このように、読み出し時においてトランジスタを飽和領域動作させる（ドレイン近傍をピンチオフさせる）ことにより、電荷保持膜16の記憶状況の如何にかかわらず、電荷保持膜15の記憶情報を感度良く検出することができる。このこ

とは、2ビット動作を可能にする大きな要因となっている。

5 以上の説明で明かなように、メモリ機能体となる電荷保持膜15に電子を注入する(書込む)場合と、電荷保持膜15の記憶情報を読み出す場合とでは、ソース電極とドレイン電極の役割を入れ替えている。言い換えれば、メモリ機能体に電子を注入して記憶状態を変化させる時と、メモリ機能体の記憶状態を読み出す時とで、第1及び第2の拡散領域(ソース/ドレイン領域)の一方及び他方に印加する電圧の大小関係を逆にしている。そのため、以下に述べるようにリードディスタ urbに対する耐性が向上するという効果をも得ることができる。

10 例えば、電荷保持膜15の記憶情報を読み出すために第2の拡散領域13をソース電極とし、第1の拡散領域12をドレイン電極とした(すなわち、書込み動作時と読み出し動作時でソース/ドレイン電極の役割を同じにする)場合、読出し動作毎にわずかな電子が電荷保持膜15に注入される。これは、読出し動作における小さなドレイン電圧によっても、ドレイン電極側では電子が比較的高いエネルギーをもつためである。そのため、書換え動作を行なわないで多数回の読出しを行った場合に、電荷保持膜15の記憶情報が書き換わる恐れがある。

しかし、書込み動作時と読み出し動作時でソース/ドレイン電極の役割を入れ替えれば、読出し動作時には電荷保持膜15はソース電極側となるために、このような誤書込みの恐れがない。したがって、リードディスタ urbに対する耐性が向上する。

20 電荷保持膜16に記憶された情報を読み出す場合、第2の拡散領域13をソース電極に、第1の拡散領域12をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散領域13及びウェル11に0V、第1の拡散領域12に+2V、ゲート電極17に+1Vを印加すればよい。このように、電荷保持膜15に記憶された情報を読み出す場合とは、ソース/ドレイン領域を入れ替えることにより、電荷保持膜16に記憶された情報の読出しを行なうことができる。

25 なお、ゲート電極17で覆われないチャネル領域71が残されている場合、ゲート電極17で覆われないチャネル領域においては、電荷保持膜15、16の余剰電子の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス(閾値の変化)が得られる。ただし、ゲート電極17で覆われないチャネル領域71の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。特に、電

荷保持膜15、16と第1、第2の拡散領域がまったくオーバーラップしていない場合は、もはや実用的な記憶装置として機能しないほど読出し速度が遅くなった。したがって、十分なヒステリシスと読出し速度が得られるように、ゲート電極17で覆われないチャネル領域71の幅を決定することが好ましい。

5 拡散領域12、13がゲート電極17端に達している場合、つまり、拡散領域12、13とゲート電極17とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース/ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）した（本実施の形態では、拡散領域12、13の濃度が濃く、実施の形態4のようにチャネル近傍の濃度を
10 薄くしていないため、導電型が反転するまでには至らず、閾値はほとんど変わらなかった）。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域12、13とゲート電極17とがオーバーラップしていないほうが好ましい。

15 しかも、拡散領域12、13がゲート電極17端とオフセットしている（すなわち、オーバーラップしていない）場合には、通常のロジックトランジスタと比較して、短チャネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させる
20 ことが可能となる。

いずれにしても、電荷保持膜15、16と第1、第2の拡散領域をオーバーラップさせることで、電荷保持膜15、16に蓄積される電荷の有無によってゲート電極17で覆われないチャネル領域71の抵抗が大きく変化するのであるから、実施の形態4での図6（b）における2つの可変抵抗の抵抗を独立に変化させることができる。

25 さらに、上記半導体記憶装置の消去動作原理を説明する。

まず、第1の方法として、メモリ機能体となる電荷保持膜15に記憶された情報を消去する場合、第1の拡散領域12に正電圧（例えば、+6V）、ウェル11に0Vを印加して、第1の拡散領域12とウェル11とのPN接合に逆バイアスをかけ、さらにゲート電極17に負電圧（例えば、-5V）を印加すればよい。このとき、上記

ゲート絶縁膜近傍におけるPN接合では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のウェル領域11側にホットホールが発生する。このホットホールが負の電位をもつゲート電極17方向に引きこまれ、その結果、電荷保持膜15にホール注入が行なわれる。このようにして、電荷保持膜15の消去が行なわれる。このとき第2の拡散領域13には0Vを印加すればよい。

電荷保持膜16に記憶された情報を消去する場合は、上記において第1の拡散領域と第2の拡散領域の電位を入れ替えればよい。

第2の方法として、図11に示すようにメモリ機能体となる電荷保持膜15に記憶された情報を消去する場合、第1の拡散領域12に正電圧（例えば、+5V）、第2の拡散領域13に0V、ゲート電極17に負電圧（例えば、-4V）、ウェル11に正電圧（例えば、0.8V）を印加すればよい。この際、ウェル11と第2の拡散領域13との間に順方向電圧が印加され、ウェル11に電子が注入される。注入された電子は、ウェル11と第1の拡散領域12とのPN接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。PN接合で発生したホットホールは負の電位をもつゲート電極17方向に引きこまれ、その結果、電荷保持膜15にホール注入が行なわれる。

この第2の方法によれば、ウェル11と第1の拡散領域12とのPN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散領域13から注入された電子により、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。

なお、電荷保持膜15に記憶された情報を消去する場合、第1の消去方法では、第1の拡散領域12に+6Vを印加しなければならなかったが、第2の消去方法では、+5Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによる半導体記憶装置の劣化を抑制することができる。

以上の動作方法により、1トランジスタ当り選択的に2ビット（4値）の書込み及び消去が可能となる。このため、1ビットあたりの占有面積を小さくして、半導体記憶

装置の製造コストを低減することができる。なお、フラッシュメモリなどで用いられる多値化技術においては、極めて精緻な閾値制御を要していたが、本発明の半導体記憶装置に上記動作方法を適用した場合は、そのような閾値制御を行う必要がない。

- 5 また、上記動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当り2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極を固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減できる。

- 10 なお、上記読み出し、書込み及び消去の各動作はNチャネル素子の場合について説明したが、Pチャネル素子の場合には全ての印加電圧の符号を反対にすることにより同様の動作を行うことができる。

実施の形態7

- 15 この実施の形態の半導体記憶装置は、図12に示すように、実施の形態6における半導体基板をSOI (Silicon on Insulator) 基板とする以外は、実質的に同様の構成を有する。

この半導体記憶装置は、半導体基板81上に埋め込み酸化膜83が形成され、さらにその上にSOI層が形成されている。SOI層内には拡散領域12、13が形成され、それ以外の領域はボディ領域82となっている。

- 20 この半導体記憶装置によっても、実施の形態6の半導体記憶装置と同様の作用効果を奏する。さらに、拡散領域12、13とボディ領域82との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

実施の形態8

- 25 この実施の形態の半導体記憶装置は、図13に示すように、電荷保持膜15、16とウェル11及び拡散領域12、13との間に、ゲート絶縁膜14が延設されて配置している以外、実施の形態6の半導体記憶装置と実質的に同様の構成を有する。

すなわち、電荷保持膜が、少なくともゲート電極近傍において、拡散領域及び／又はウェル領域もしくはボディ領域 (SOI基板を使用した場合) と、絶縁膜を介して

接している。

この半導体記憶装置によっても、実施の形態6の半導体記憶装置と同様の作用効果を奏する。さらに、電荷保持膜15、16とウェル11及び拡散領域12、13との間のゲート絶縁膜14により、保持電荷の漏れが抑制され、保持特性を向上させることができる。加えて、チャネル領域の全面がゲート絶縁膜14で覆われるため、反転層キャリアの界面散乱を抑制することによりドレイン電流を増加させ、ひいては、読出し速度を向上させることができる。

また、電荷保持膜下の絶縁膜は、ゲート絶縁膜とは別に設計、形成してもよい。ゲート電極は短チャネル効果抑制を優先して設計し、電荷保持膜下の絶縁膜をゲート絶縁膜よりも厚く又は薄く形成してもよい。なお、電荷保持膜はシリコン窒化膜に限る必要はなく、上述した構成、材料の膜でもよい。

実施の形態9

この実施の形態の半導体記憶装置は、図14に示すように、シリコン窒化膜からなる電荷保持膜19が、ゲート電極17のゲート側壁絶縁膜を構成している以外は、実施の形態8の半導体記憶装置と実質的に同様である。

この半導体記憶装置では、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜19中の領域20、21部分である。

この半導体記憶装置によっても、実施の形態8の半導体記憶装置と同様の作用効果を奏する。さらに、ゲート電極17の側壁が、ゲート側壁絶縁膜状の電荷保持膜19で被覆されているため、電荷保持膜19をマスクとして、拡散領域12、13を形成するためのイオン注入を行なえば、拡散領域12、13の端部の位置を制御するのが容易となる。例えば、ゲート電極17で覆われないチャネル領域をわずかに残し、電荷保持膜19によって、ゲート電極17で覆われないチャネル領域を覆うことが容易となる。したがって、大きなヒステリシス（閾値の変化）をもつ半導体記憶装置を容易に作製することができる。

また、電荷保持膜19下の絶縁膜をゲート絶縁膜とは別に設計してもよい。ゲート電極は短チャネル効果抑制を優先して設計、形成し、電荷保持膜下の絶縁膜をゲート絶縁膜よりも厚く又は薄く形成してもよい。

実施の形態 10

この実施の形態の半導体記憶装置は、図 15 に示すように、電荷保持膜 22 が、ゲート絶縁膜 14 上で L 字型に形成されており、シリコン酸化膜からなるゲート側壁絶縁膜 25 で被覆されている以外は、実施の形態 9 の半導体記憶装置と実質的に同様である。

この半導体記憶装置では、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜 22 中の領域 23、24 部分である。

この実施の形態の半導体記憶装置は、実施の形態 9 の半導体記憶装置と同様の作用効果を奏する。また、電荷保持膜 22 は、ゲート絶縁膜 14 とゲート側壁絶縁膜 25 とに挟まれるため、ONO 膜構造となり、電子やホール注入効率を高めて、動作速度を早めることができる。

この半導体記憶装置の製造方法を、図 16 に基づいて説明する。なお、素子分離領域などの形成は省略する。

まず、図 16 (a) に示すように、P 型のウェル 11 上に、膜厚 1～6 nm 程度のシリコン酸化膜又はシリコン窒化膜、あるいは膜厚 1～100 nm 程度の高誘電膜等からなるゲート絶縁膜 14 を形成し、さらにゲート電極 17 をパターンニングする。

次に、図 16 (b) に示すように、得られた半導体基板上全面に、CVD 法により膜厚 5～20 nm 程度のシリコン窒化膜 53 及び膜厚 20～100 nm 程度のシリコン酸化膜 54 をこの順に堆積する。

なお、図 16 (a) のゲート電極 17 のパターンニング工程の際に露出するゲート絶縁膜がダメージを受けるようなパターンニング工程（エッチング工程）であれば、ゲート電極下以外の露出したゲート絶縁膜を除去した後、酸化又は CVD 法によるシリコン酸化膜やシリコン窒化膜、あるいは CVD 法等による高誘電膜をシリコン窒化膜 53 の下にあらかじめ形成してもよい。

続いて、図 16 (c) に示すようにシリコン酸化膜 54 及びシリコン窒化膜 53 をゲート電極 17 及び半導体基板に対して選択的にエッチバックする。これにより、L 字型のシリコン窒化膜 53 からなる電荷保持膜 22 と、この電荷保持膜 22 を被覆するゲート側壁絶縁膜 25 が形成される。その後、拡散領域 12、13 を形成する。

このように、この実施の形態の半導体記憶装置は、絶縁膜形成工程とエッチバック工程のみの簡単な工程により作製することができる。

実施の形態 11

5 この実施の形態の半導体記憶装置は、図 17 に示すように、ゲート電極 17 が両下端に凹部を有しており、この凹部内にシリコン窒化膜からなる電荷保持膜 19 の少なくとも一部が埋設され、電荷保持膜 19 とゲート電極 17 とがシリコン酸化膜 81 により隔てられて構成される以外は、実施の形態 9 の半導体記憶装置と実質的に同様である。

10 この半導体記憶装置によっても、実施の形態 9 の半導体記憶装置と同様の作用効果を奏する。

さらに、消去動作時、図 17 の矢印 71 で示す領域付近に発生したホットホールが、負電位のゲート電極に引き寄せられ、矢印 72 のように、効率よく電荷保持膜 19 に注入され、そのため、消去動作を高速にすることができる。

15 なお、この半導体記憶装置では、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜 19 中の、主としてゲート電極の凹部に埋設された部分（矢印 72 の先端付近）である。

この半導体記憶装置の製造方法を、図 18 に基づいて説明する。なお、素子分離領域などの形成は省略する。

20 まず、図 18 (a) に示すように、P 型のウェル 11 上に、ゲート絶縁膜 14 及びゲート電極 17 を形成した後、全面を酸化してシリコン酸化膜 51 を形成する。この時のシリコン酸化膜厚は、例えば、5 nm ~ 20 nm とすることができる。この時、ゲート電極 17 の両下端には楔状にバースピークが形成される。

次に、図 18 (b) に示すように、シリコン酸化膜 51 を等方性エッチングにより
25 除去した後、全面を再酸化してシリコン酸化膜 52 を形成する。このシリコン酸化膜 52 は、電荷保持膜とゲート電極、チャネル領域（ウェル領域）及び拡散領域（ソース／ドレイン領域）とを隔てる絶縁膜となる。この時のシリコン酸化膜厚は、特に限定されるものではないが、半導体記憶装置の書換え特性及び保持特性の両立の観点から、4 nm ~ 20 nm とするのが好ましい。

次に、図18(c)に示すように、シリコン窒化膜を全面に堆積（例えば20nm～200nm）した後エッチングバックを行なうことにより、ゲート側壁絶縁膜状の電荷保持膜19を形成する。その後、電荷保持膜19をマスクとして不純物イオン注入及び熱処理を行うことにより拡散領域12、13を形成して半導体記憶装置が完成する（上部配線等は省略した）。

実施の形態12

この実施の形態の半導体記憶装置は、図19に示すように、少なくともその一部がゲート電極17の凹部内に埋設されたシリコン窒化膜からなる電荷保持膜82が、シリコン酸化膜81、83に挟まれて構成される以外は、実施の形態11の半導体記憶装置と実質的に同様である。

この半導体記憶装置によっても、実施の形態11の半導体記憶装置と同様の作用効果を奏する。また、電荷保持膜82は、シリコン酸化膜81、83に挟まれたONO膜構造であるため、電子やホール注入効率を高めて、動作速度を早くすることができる。

この半導体記憶装置は、例えば、実施の形態11の半導体記憶装置を形成する方法において、図18(b)の状態の後にシリコン窒化膜（例えば、5nm～15nm）とシリコン酸化膜（例えば20nm～200nm）をこの順に堆積し、シリコン酸化膜及びシリコン窒化膜をエッチングバックすることにより形成することができる。

実施の形態13

この実施の形態の半導体記憶装置は、図20に示すように、素子分離領域31を有する半導体基板中に形成されたP型ウェル11上に、膜厚1～6nm程度のシリコン酸化膜からなるゲート絶縁膜14を介してゲート電極17が形成されている。ゲート電極17の側壁には、膜厚20～100nm程度のシリコン窒化膜からなる電荷保持膜32が形成されている。なお、電荷保持膜の形態は本実施例の形態に限るものではなくこれまで示したような様々な形態がある。電荷保持膜32の側壁には、さらに、ポリシリコンからなるサイドウォール26、27が形成されている。また、このサイドウォール26、27の直下のウェル11表面には、N型の不純物が染み出して、N

型領域28、29がそれぞれ形成されている。サイドウォール26とN型領域28とは一体となって第1の拡散領域を構成し、同様にサイドウォール27とN型領域29とは第2の拡散領域を構成する。素子分離領域31の表面は、シリコン窒化膜30により覆われている。

- 5 この半導体記憶装置において、実際に電荷が蓄積又はトラップされて記憶が保持されるのは、電荷保持膜32中の領域23、24部分である。

この半導体記憶装置は、拡散領域がポリシリコンからなるライズド構造であるため、浅い接合化が極めて容易である。したがって、短チャネル効果を極めて効果的に抑制し、素子の微細化を図ることができる。

- 10 また、図示しないが、拡散領域にコンタクトを設ける際のマージンを、ライズド構造をもたない場合に比べて小さくすることができる。よって、拡散領域とウェルとの接合面積を著しく小さくして、接合容量を小さくすることができる。これにより、高速に動作させることができ、かつ消費電力を抑えることができる。

- さらに、この半導体記憶装置は、書込みがなされない程度の低電圧で動作させれば、低消費電力化、高速動作化及び微細化が可能な通常の電界効果トランジスタとして
15 論理回路を構成することができる。すなわち、全く共通の構造をもつ素子が、論理回路を構成する素子としても、メモリ回路を構成する素子としても使用できる。したがって、論理回路とメモリ回路との混載プロセスを非常に簡単にすることができる。

この半導体記憶装置を形成する方法を、図21及び図22を用いて説明する。

- 20 まず、図21(a)に示すように、半導体基板内にP型のウェル11を形成し、続いて、例えばSTI法を用いて素子分離領域31を形成する。得られたウェル11上に、膜厚1~6nm程度のシリコン酸化膜からなるゲート絶縁膜14を形成する。次に、ゲート電極となるポリシリコン膜と絶縁膜55とをこの順に堆積する。その後、所定の形状のレジストパターンをマスクとして用いて、ポリシリコン膜及び絶縁膜55をパターニングする。また、レジストパターンをマスクとして絶縁膜55のみをパ
25 ターニングし、レジストパターンを除去した後に絶縁膜55をマスクとしてポリシリコン膜をエッチングしてもよい。これにより、絶縁膜55からなるキャップを有するゲート電極17が形成される。

次に、図21(b)に示すように、得られた半導体基板上全面に、シリコン窒化膜

5 8を堆積し、素子分離領域3 1上をレジストパターン5 6でマスクする。

続いて、図2 1 (c) に示すように、レジストパターン5 6をマスクとして用いて、シリコン窒化膜5 8をエッチバックすることにより、ゲート電極1 7及び絶縁膜5 5の側壁にシリコン窒化膜による電荷保持膜3 2を形成するとともに、素子分離領域
5 3 1上に、シリコン窒化膜3 0を残す。シリコン窒化膜3 0は、後工程のエッチング工程において、半導体基板及び素子分離領域3 1を保護する。特に、後述するポリシリコンによるサイドウォール2 6、2 7を形成する際のエッチバック工程と、絶縁膜5 5を除去するためのエッチング工程と、拡散領域上にコンタクト孔を形成する際のエッチング工程で重要である。

10 次いで、図2 2 (d) に示すように、得られた半導体基板上全面に、ポリシリコン膜5 7を堆積する。

次に、ポリシリコン膜5 7を絶縁膜5 5が露出するまでエッチバックする。この際、ポリシリコン膜5 7は、その一部がシリコン窒化膜3 0上にまでおよび、これらによって、素子分離領域3 1を完全に被覆することが好ましい。

15 その後、図2 2 (e) に示すように、絶縁膜5 5を、等方性エッチングにより除去する。なお、これらのエッチングの際に、シリコン窒化膜3 0がストッパーとなり、素子分離領域3 1がオーバーエッチングされるのを防止することができる。続いて、所定形状のレジストパターンをマスクとして用いて、ポリシリコン膜5 7の一部を異方性エッチングで除去して、互いに分離したサイドウォール2 6、2 7を形成する。
20 これにより、サイドウォール2 6、2 7に、不純物注入すると、それぞれが拡散領域(ソース領域又はドレイン領域)を構成する。

次に、ゲート電極1 7及びサイドウォール2 6、2 7に不純物をイオン注入し、不純物活性化のためのアニールを行なう。これにより、不純物イオンはウェル1 1中に拡散して領域2 8、2 9を形成し、サイドウォール2 6、2 7と一体となって、それ
25 それ拡散領域を形成する。

この半導体記憶装置によれば、1 トランジスタ当り2 ビットの記憶を実現しながら、短チャネル効果が極めて抑制され、微細化が可能となる。また、高速動作と低消費電力化が可能である。

さらに、この半導体記憶装置は、そのまま論理回路を構成するトランジスタとして

も使用可能であるから、論理回路とメモリ回路との混載プロセスを非常に簡単にすることができる。

- 加えて、サイドウォール26、27に注入された不純物イオンをウェル11へ固層拡散させることにより、非常に急峻なプロファイルをもつソース/ドレイン領域とウェル領域との接合を形成することができる。つまり、 10^{20} cm^{-3} 以上の不純物濃度をもつソース/ドレイン領域と、 10^{18} cm^{-3} 以上の不純物濃度をもつウェルとの間で急峻プロファイル接合を形成することができ、ゲート電極に1 V印加した時のドレイン耐圧が3 V以下とすることができる。このため、ゲート電極3 V、N型のソース/ドレイン領域の一方及びウェルをGND、N型のソース/ドレイン領域の他方を3 Vに設定するだけで、3 Vに設定した方のソース/ドレイン領域近傍の電荷保持膜に電子を注入することができる。また、逆に、ゲート電極に-2 V、N型のソース/ドレイン領域の一方をGND、ウェルを0.8 V (PN接合のビルトインポテンシャル程度の電圧又はPN接合のビルトインポテンシャルよりも若干高い電圧)、N型のソース/ドレイン領域の他方を3 Vに設定するだけで、3 Vに設定した方のソース/ドレイン領域近傍の電荷保持膜にホールを注入することができる。このように、ソース/ドレイン領域とウェル領域との接合を急峻なプロファイルに設計することにより、ドレイン耐圧を低く設定でき、この効果によって、書込消去電圧を低く設定することができる。

20 実施の形態14

本発明の半導体記憶装置の新たな書込、消去方法を説明する。

- この書込・消去方法は、以下に示すように、ビット線とワード線間の電界を利用しているため、例えば、実施の形態13の構造が有効であるが、他の実施形態の構造であっても適用できる。なお、この場合、ゲート電極と接続又はゲート電極そのものの機能を有するワード線と、ソース/ドレイン領域と接続されるビット線を交差するように設けることにより、選択された電荷保持膜のみに大きな電界をかけることができる。

選択ビット線を基準電位 (例えば、0 V) とする。このとき、選択ワード線に+V_{DD}、非選択ビット線に+2/3 V_{DD}、非選択ワード線に+1/3 V_{DD}を印加す

る。これにより、選択ワード線と選択ビット線を対抗電極とする電荷保持膜には電界差VDDが印加され、他の電荷保持膜は、すべて電界差 $1/3$ VDDが印加される。電界差VDDで書込・消去ができ、電界差 $1/3$ VDDでは書込・消去が起こらない電荷保持膜を用いれば、ランダムアクセス書込・消去可能となる。この方法では、ト
5 ンネル電流によって書込・消去が直接行われるため、低電流で書込消去が可能となり、低消費電力化の効果がある。

また、バルク基板を用いた大規模集積メモリは、図23(a)及び図23(b)に示したように、半導体基板内(半導体基板表面)に形成された第1導電型のウェル領域1901と、該ウェル領域1901上に形成されたゲート絶縁膜1902と、該ゲ
10 ート絶縁膜上に形成された複数のワード線1903と、前記複数のワード線1903の両側にそれぞれ形成された複数の第2導電型の拡散領域1905と、少なくとも前記拡散領域の一部の上もしくは、前記ウェル領域の一部および拡散領域の一部の上に跨って、前記複数のワード線の両側に、前記ワード線、ウェル領域、拡散領域に対して、直接又は絶縁膜を介して形成された、電荷を蓄積又はトラップする機能を有する
15 電荷保持膜1904と、前記複数の拡散領域と接続され、前記ワード線と交差する方向に伸びる複数のビット線(図示せず)からなる。なお、図23(a)において、1910は素子分離領域を示している。また、図23(b)は、図23(a)のA-A'線における断面図を示している。ビット線(図示せず)と第2導電型の拡散領域(ソース/ドレイン領域)1905を接続する端子(ビット線そのものであってもよい
20)1907とワード線(ゲート電極)1903間に電荷保持膜1904が挟まれているのが好ましい。この場合、ゲート電極と端子間に直接電界をかけ、選択した2つのノード間で電子又はホール注入、電子又はホールの引き抜きが可能となり、ホットエレクトロンやホットホール注入と比較して、書込・消去効率を向上させることができる。

25 なお、メモリセルが図23に示すほどには密集していない場合、第2導電型の拡散領域(ソース/ドレイン領域)1905を接続する端子1907と電荷保持膜1904の間には層間絶縁膜が介在することになる。この場合の書込み、消去方法は、本実施の形態に記述した方法よりも、実施の形態6の方法を用いるほうが好ましい。

実施の形態 15

この実施の形態の半導体記憶装置は、メモリ機能体 161、162 が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であつてもよい）と電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であつてもよい）から構成される。例えば、図 24 に示すように、ONO 構造を有している。すなわち、シリコン酸化膜 141 とシリコン酸化膜 143 との間にシリコン窒化膜 142 が挟まれ、メモリ機能体 161、162 を構成している。ここで、シリコン窒化膜は電荷を保持する機能を果たす。また、シリコン酸化膜 141、143 はシリコン窒化膜中に蓄えられた電荷を逃げにくくする機能を有する膜の役割を果たす。

また、メモリ機能体 161、162 における電荷を保持する領域（シリコン窒化膜 142）は、拡散領域 112、113 とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散領域 112、113 の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜 142）の少なくとも一部が存在することを意味する。なお、111 は半導体基板、114 はゲート絶縁膜、117 はゲート電極、171 は（ゲート電極と拡散領域との）オフセット領域である。図示しないが、ゲート絶縁膜 114 下であつて半導体基板 111 最表面部はチャネル領域となる。

メモリ機能体 161、162 における電荷を保持する領域 142 と拡散領域 112、113 とがオーバーラップすることによる効果を説明する。

図 25 は、図 24 の右側のメモリ機能体 162 周辺部の拡大図である。W1 はゲート電極 114 と拡散領域 113 とのオフセット量を示す。また、W2 はゲート電極のチャネル長方向の切断面におけるメモリ機能体 162 の幅を示しているが、メモリ機能体 162 のうちシリコン窒化膜 142 のゲート電極 117 と離れた側の端が、ゲート電極 117 から離れた側のメモリ機能体 162 の端と一致しているため、メモリ機能体 162 の幅を W2 として定義した。メモリ機能体 162 と拡散領域 113 とのオーバーラップ量は $W2 - W1$ で表される。特に重要なことは、メモリ機能体 162 のうちシリコン窒化膜 142 が、拡散領域 113 とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

なお、図 26 に示すように、メモリ機能体 162a のうちシリコン窒化膜 142a のゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体 162a の

端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

図27は、図25の構造において、メモリ機能体162の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流I_dを示している。ここで、ドレイン電流は、メモリ機能体162を消去状態（ホールが蓄積されている）とし、拡散領域112、113をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

図27から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜142と拡散領域113とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース/ドレイン領域とがオーバーラップすることが好ましい。

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散領域112、113とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、W2-W1>10nmであることがより好ましいことが判明した。

メモリ機能体161（領域181）に記憶された情報の読み出しは、実施の形態6と同様に、拡散領域112をソース電極とし、拡散領域113をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好

ましい。これにより、メモリ機能体 1 6 2 の記憶状況の如何にかかわらず、メモリ機能体 1 6 1 の記憶情報を感度よく検出することができ、2 ビット動作を可能にする大きな要因となる。

一方、2 つのメモリ機能体の片側のみに情報を記憶させる場合又は 2 つのメモリ機能体を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図 2 4 には図示していないが、半導体基板 1 1 1 の表面にウェル領域（N チャンネル素子の場合は P 型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャンネル領域の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャンネル効果）を制御するのが容易になる。

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜 1 4 2、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜 1 4 1、1 4 3 を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むこと、いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図 2 8 に示したように、メモリ機能体 1 6 2 の電荷保持膜 1 4 2 a が、ゲート絶縁膜 1 1 4 表面と略平行な面を有している。言い換えると、電荷保持膜 1 4 2 a は、ゲート絶縁膜 1 1 4 表面に対応する高さから、均一な高さに形成されることが好ましい。メモリ機能体 1 6 2 中に、ゲート絶縁膜 1 1 4 表面と略平行な電荷保持膜 1 4 2 a があることにより、電荷保持膜 1 4 2 a に蓄積された電荷の多寡によりオフセット領域 1 7 1 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大

5 大きくすることができる。また、電荷保持膜142aをゲート絶縁膜114の表面と略平行とすることにより、オフセット量(W1)がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜142a上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

10 さらに、メモリ機能体162は、ゲート絶縁膜114の表面と略平行な電荷保持膜142aとチャネル領域(又はウェル領域)とを隔てる絶縁膜(例えば、シリコン酸化膜144のうちオフセット領域171上の部分)を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い半

15 導体記憶装置を得ることができる。

なお、電荷保持膜142aの膜厚を制御すると共に、電荷保持膜142a下の絶縁膜(シリコン酸化膜144のうちオフセット領域171上の部分)の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄え

15 られる電荷までの距離を、電荷保持膜142a下の絶縁膜の最小膜厚値から、電荷保持膜142a下の絶縁膜の最大膜厚値と電荷保持膜142aの最大膜厚値との和までの間に制御することができる。これにより、電荷保持膜142aに蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

20

実施の形態16

この実施の形態は、メモリ機能体162の電荷保持膜142が、図29に示すように、略均一な膜厚で、ゲート絶縁膜114の表面と略平行に配置され(矢印181)、さらに、ゲート電極117側面と略平行に配置された(矢印182)形状を有している。

25

ゲート電極117に正電圧が印加された場合には、メモリ機能体162中での電気力線は矢印183のように、シリコン窒化膜142を2回(矢印182及び矢印181が示す部分)通過する。なお、ゲート電極117に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜142の比誘電率は約6であり、

シリコン酸化膜 141、143 の比誘電率は約 4 である。したがって、矢印 181 で示す電荷保持膜のみが存在する場合よりも、電気力線 183 方向におけるメモリ機能体 162 の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 117 に印加された電圧の多くの部分が、

5 オフセット領域 171 における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜 142 に注入されるのは、発生した電荷がオフセット領域 171 における電界により引き込まれるためである。したがって、矢印 182 で示される電荷保持膜を含むことにより、書換え動作時にメモリ機能体 162 に注入される電荷が増加し、書換え速度が増大する。

10 なお、シリコン酸化膜 143 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 114 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

15 さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 141 のうちオフセット領域 171 上の部分）をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電

20 荷保持膜とを隔てる絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、半導体記憶装置の信頼性を向上させることができる。

さらに、実施の形態 15 と同様に、電荷保持膜 142 下の絶縁膜（シリコン酸化膜

25 141 のうちオフセット領域 171 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 141 のうちゲート電極 117 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 142 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

実施の形態 17

この実施の形態は、ゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化に関する。

- 5 図30に示したように、Aはチャネル長方向の切断面におけるゲート電極長、Bはソース／ドレイン領域間の距離（チャネル長）、Cは一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）から他方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）までの距離を示す。

まず、 $B < C$ であることが好ましい。チャネル領域のうちゲート電極117下の部分とソース／ドレイン領域112、113との間にはオフセット領域171が存する。 $B < C$ により、メモリ機能体161、162（シリコン窒化膜142）に蓄積された電荷により、オフセット領域171の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

また、ゲート電極117とソース／ドレイン領域112、113がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいては、必ずしも存在する必要はない。オフセット領域171がない場合においても、ソース／ドレイン領域112、113の不純物濃度が十分に薄ければ、メモリ機能体161、162（シリコン窒化膜142）においてメモリ効果が発現し得る。

したがって、 $A < B < C$ であるのが最も好ましい。

実施の形態 18

この実施の形態の半導体記憶装置は、図31に示すように、実施の形態15における半導体基板をSOI基板とする以外は、実質的に同様の構成を有する。

この半導体記憶装置は、半導体基板181上に埋め込み酸化膜183が形成され、

さらにその上にSOI層が形成されている。SOI層内には拡散領域112、113が形成され、それ以外の領域はボディ領域182となっている。

この半導体記憶装置によっても、実施の形態15の半導体記憶装置と同様の作用効果を奏する。さらに、拡散領域112、113とボディ領域182との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

実施の形態19

この実施の形態の半導体記憶装置は、図32に示すように、実施の形態15において、N型のソース/ドレイン領域112、113のチャネル側に隣接して、P型高濃度領域191を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型を与える不純物（例えばボロン）濃度が、領域192におけるP型を与える不純物濃度より高い。P型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域191を設けることにより、拡散領域112、113と半導体基板111との接合が、メモリ機能体161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な半導体記憶装置を得ることができる。

また、図32において、ソース/ドレイン領域近傍であってメモリ機能体の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタが

- Nチャネル型の場合は正孔)が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極下のチャネル領域(領域192)の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191を
- 5 メモリ機能体の下であってソース/ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果(書込時と消去時での閾値の差)を著しく増大させることができる。

実施の形態20

- 10 この実施の形態の半導体記憶装置は、図33に示すように、実施の形態15において、電荷保持膜(シリコン窒化膜142)とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ(T1)が、ゲート絶縁膜の厚さ(T2)よりも薄いこと以外は、実質的に同様の構成を有する。

- ゲート絶縁膜114は、メモリの書換え動作時における耐圧の要請から、その厚さ
- 15 T2には下限値が存在する。しかし、絶縁膜の厚さT1は、耐圧の要請にかかわらず、T2よりも薄くすることが可能である。T1を薄くすることにより、メモリ機能体への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜142に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、
- 20 メモリ効果を増大させることができる。

したがって、 $T1 < T2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

- なお、絶縁膜の厚さT1は、製造プロセスによる均一性や膜質が一定の水準を維持
- 25 することが可能であり、かつ保持特性が極端に劣化しない限界となる0.8nm以上であることがより好ましい。

実施の形態21

この実施の形態の半導体記憶装置は、図34に示すように、実施の形態15におい

て、電荷保持膜（シリコン窒化膜 142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ T_1 ）が、ゲート絶縁膜の厚さ（ T_2 ）よりも厚いこと以外は、実質的に同様の構成を有する。

ゲート絶縁膜 114 は、素子の短チャネル効果防止の要請から、その厚さ T_2 には
5 上限値が存在する。しかし、絶縁膜の厚さ T_1 は、短チャネル効果防止の要請にかかわらず、 T_2 よりも厚くすることが可能である。 T_1 を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T_1 > T_2$ とすることにより、メモリの短チャネル効果を悪化させる
10 ことなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ T_1 は、書換え速度の低下を考慮して、20 nm 以下であることが好ましい。

実施の形態 22

15 上述した半導体記憶装置が組み込まれた携帯電子機器である携帯電話を、図 35 に示す。

この携帯電話は、主として、制御回路 211、電池 212、RF（無線周波数）回路 213、表示部 214、アンテナ 215、信号線 216、電源線 217 等によって構成されており、制御回路 211 には、上述した本発明の半導体記憶装置が組み込ま
20 れている。なお、制御回路 211 は、実施の形態 10 で説明したような、同一構造の素子をメモリ回路素子及び論理回路素子として兼用した集積回路であるのが好ましい。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

このように、1 トランジスタ当たり 2 ビットの記憶が可能であり、かつ微細化が容易
25 である半導体記憶装置を携帯電子機器に用いることにより、携帯電子機器の機能と動作速度を向上させ、製造コストを削減することが可能になる。

なお、本発明の半導体記憶装置は、主として、拡散領域である第 1 導電型の領域と、第 2 導電型の領域と、第 1 及び第 2 導電型の領域の境界を跨って配置されたメモリ機能体と、絶縁膜を介して設けられた電極とから構成されるか、あるいは、主として、

ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成されたメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置されたソース/ドレイン領域（拡散領域）と、ゲート電極下に配置されたチャネル領域とから構成される。

- 5 この半導体記憶装置は、1つの電荷保持膜に2値又はそれ以上の情報を記憶することにより、4値又はそれ以上の情報を記憶するメモリ素子として機能し、また、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能する。

- 10 本発明の半導体装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。

- 半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI（Silicon on Insulator）
15 ）基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

- 20 この半導体基板又は半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体基板は、P型又はN型の導電型
25 を有していてもよく、半導体基板には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

ゲート絶縁膜又は絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

ゲート電極又は電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、単一のゲート電極とは、ゲート電極としては、1種又は2種以上の導電膜によって分離されることなく、一体形状として形成されているゲート電極を意味する。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャンネル領域が形成されている。

メモリ機能体は、少なくとも、電荷を保持するか、電荷を蓄え、保持する機能を有するか、電荷をトラップするか、電荷分極状態を保持する機能を有する膜又は領域を含んで構成される。これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキサイド、ジルコニウムオキサイド、タンタルオキサイド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。メモリ機能体は、例えば、シリコン窒化膜を含む絶縁体膜；導電膜もしくは半導体層を内部に含む絶縁体膜；導電体もしくは半導体ドットを1つ以上含む絶縁体膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LS

I プロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する絶縁膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。さらに信頼性を高めるためには、電荷を保持する機能を有する絶縁膜は、必ずしも膜状である必要はなく、電荷を保持する機能を有する絶縁体が絶縁膜に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に分散していることが好ましい。

- 10 また、導電膜もしくは半導体層を内部に含む絶縁体膜をメモリ機能体として用いることにより、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

- さらに、導電体もしくは半導体ドットを1つ以上含む絶縁体膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行いやすくなり、
15 低消費電力化の効果がある。

- また、メモリ機能体として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘
20 電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができる効果がある。

- つまり、メモリ機能体は、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜をさらに含むことが好ましい。電荷を逃げにくくする機能を果たすもの
25 としては、シリコン酸化膜等が挙げられる。

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全

て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよいが、この場合製造工程が複雑になるため、工業的には前述したようにメモリ機能体はゲート電極側壁のみを覆い、ゲート電極がメモリ機能体の上部まで覆う構造になっていない方が好ましい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

拡散領域又はソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散領域として、電荷保持膜のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又メモリ機能体はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置してもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したときの電荷保持膜下のオフセット領域の反転しやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好

ましい。特に重要なことは、メモリ機能体の中の電荷蓄積領域の少なくとも一部が、拡散領域であるソース／ドレイン領域の一部とオーバーラップしていることである。本発明のメモリの本質は、メモリ機能体の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差によりメモリ機能体を横切る電界によって記憶を書き換えることであるためである。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいために、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

本発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極又は電極を形成した後、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を絶縁膜材料中に分散させ、これをゲート電極を含む半導体基板上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、上記単層膜又は積層膜を形成し、マスクを用いてパターニングする方法等が挙げられる。また、ゲート電極又は電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域

に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターンニングする方法等が挙げられる。

本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

本発明によれば、従来技術であるMRAMのメモリセルが2つの素子によって構成されていたのに対して、実質的に1つの素子によってメモリセルを構成することができ、さらなる微細化及び高集積化を実現することができる。

10 また、1つの素子における構成がシンプルであり、つまり、半導体層内に形成された第1導電型の領域と、それに隣接する第2導電型の領域と、上記半導体層表面における上記第1及び第2導電型の領域の境界を跨って配置されたメモリ機能体と、該メモリ機能体に接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とにより構成することができるため、占有面積のより縮小化を図ることができるとともに、
15 半導体記憶装置の読出し速度を向上させることができる。

さらに、半導体層内に形成された第1導電型の領域と、それに隣接する2つの第2導電型の領域と、上記半導体層表面における上記第1及び第2導電型の領域の境界を跨ってそれぞれ配置された2つのメモリ機能体と、メモリ機能体のそれぞれに接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有するので、半導体記憶
20 装置の読出し速度を向上させることができるとともに、さらに集積度を向上させることができる。

また、2つのメモリ機能体のそれぞれに独立して電荷を蓄積することにより、2ビット以上の情報を記憶する場合は、1ビット当たりの素子面積を小さくすることができるから、半導体記憶装置の製造コストを低減することができる。

25 別の観点から、チャネル領域と、該チャネル領域の両側に設けられた可変抵抗領域と、該可変抵抗領域を介してチャネル領域の両側に設けられた拡散領域と、チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側に、可変抵抗領域及び拡散領域の一部に跨るように配置された2つのメモリ機能体とを備えることにより、半導体記憶装置の読出し動作速度を向上することができる。

また、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点を前記チャネル領域内であって、他方のメモリ機能体に近い領域に形成させれば、他方のメモリ機能体の記憶状態の如何にかかわらず、一方のメモリ機能体の記憶情報を感度よく検出することができる。このことは、2ビット動作を可能にする大きな

5 要因となる。

さらに、メモリ機能体が、ゲート電極下ではなく、ゲート電極の両側に配置されるため、ゲート絶縁膜をメモリ機能体として機能させる必要がなく、ゲート絶縁膜を、メモリ機能体とは分離して、単純にゲート絶縁膜としての機能のみに使用することが可能となり、LSIのスケージング則に応じた設計を行なうことが可能となる。このため、フラッシュメモリのようにフローティングゲートをチャネルとコントロールゲートの間に挿入する必要がなく、さらに、ゲート絶縁膜としてメモリ機能をもたせたONO膜を採用する必要がなく、微細化に応じたゲート絶縁膜を採用することが可能となるとともに、ゲート電極の電界がチャネルに及ぼす影響が強くなり、短チャネル効果に強いメモリ機能を有する半導体記憶装置を実現することができる。よって、微細化して集積度を向上させることができるとともに、安価な半導体記憶装置を提供することができる。

また、1つのメモリセルに対して必要な、ゲート電極と接続されている又はゲート電極そのものの機能を有するワード線に関し、1本配置するのみで、従来の選択トランジスタとメモリセルトランジスタの機能を兼ねることができると、半導体記憶装置のさらなる高集積化が可能となる。

さらに、メモリ機能体中の電荷の多寡をソース／ドレイン領域の一方からソース／ドレイン領域の他方へ流れる電流量の変化により検知すれば、メモリ機能体中のわずかな電荷の違いを大きな電流差として判別することができる。

また、メモリ機能体の下に位置する可変抵抗部の抵抗値が、電荷メモリ機能体中の電荷の多寡により変化し、メモリ機能体中の電荷の有無をソース／ドレイン領域の一方からソース／ドレイン領域の他方へ流れる電流量の変化により検知すれば、メモリ機能体中のわずかな電荷の違いを大きな電流差として判別することができる。

さらに、メモリセル1つあたり、単一のゲート電極が、その両側に形成された2つのメモリ機能体にはさまれた構造は、メモリ機能体の電荷量を変化させるため電極数

を最低限にする。したがって、メモリセル占有面積を小さくすることができる。

また、メモリセル1つあたり、単一のゲート電極が、その両側に形成された2つのメモリ機能体にはさまれた構造であって、メモリ機能体中の電荷の多寡をソース/ドレイン領域の一方からソース/ドレイン領域の他方へ流れる電流量の変化により検知する検知方法、つまり、わずかな電荷の違いを大きな電流差として判別することができる検知方法に必要な電極数を最低限にする。したがって、メモリセル占有面積を小さくすることができる。

さらに、メモリセル1つあたり、単一のゲート電極が、その両側に形成された2つのメモリ機能体にはさまれ、該メモリ機能体の下に位置する可変抵抗部の抵抗値をメモリ機能体中の電荷の有無により変化させ、メモリ機能体中の電荷の多寡をソース/ドレイン領域の一方からソース/ドレイン領域の他方へ流れる電流量の変化により検知する検知方法、つまり、わずかな電荷の違いを大きな電流差として判別することができる検知方法に必要な電極数を最低限にする。したがって、メモリセル占有面積を小さくすることができる。

また、半導体基板もしくはウェル領域もしくは絶縁体膜上に位置する半導体層と接続された1つの端子と、ソース/ドレイン領域と接続された2つの端子と、ゲート電極に接続された1つの端子とは、複数のメモリセルから1つのメモリセルを選択し書込・消去・読み出しできるメモリセルに必要な最低限の端子を構成する。したがって、最も少ない端子数で1つのメモリセルを構成することができる。

さらに、半導体基板もしくはウェル領域もしくは絶縁体上に位置する半導体層に与える電圧と、単一のゲート電極に与える電圧と、2つのソース・ドレイン電極のそれぞれに与える電圧の合計4つの電圧を与えることのみにより、1つのメモリセルの読み出し、書込、もしくは消去動作のいずれかをおこなう動作方法は、最も少ないノードで1つのメモリセル動作を行なうことができる。

また、単一のゲート電極の両側に形成されたゲート電極側壁絶縁膜がメモリ機能体として機能するため、ロジックトランジスタで構成された回路とメモリ記憶装置の混載が容易になる。

さらに、電荷を保持する機能を有するゲート電極側壁絶縁膜の少なくとも一部がソース/ドレイン領域とオーバーラップしているため、読出し電流の減少が抑制される

。したがって、半導体記憶装置の読出し動作速度を高速にすることができる。

また、1つの半導体記憶装置によって、2ビットの情報を蓄えることが可能となり、しかも、1つのゲート電極の両側に配置するメモリ機能体はゲート電極によって互いに完全に分離されているため、互いのメモリ機能体間での電氣的干渉を避けることが可能となり、さらなる微細化を実現しながら、多値の情報を記憶する半導体記憶装置を実現することができる。

加えて、本発明の半導体記憶装置は、そのまま論理回路を構成するトランジスタとしても使用可能であるから、論理回路とメモリ回路との混載プロセスを非常に簡単にすることができる。

10 ソース／ドレイン領域の一部が、チャネル領域表面又はゲート絶縁膜下面よりも高い位置に延設され、かつメモリ機能体の少なくとも一部がゲート電極と前記ソース／ドレイン領域の一部に挟持されてなる場合には、ソース／ドレイン領域の浅い接合化が実現できるとともに、接合部分において急峻な不純物の濃度プロファイルを実現することが可能となる。よって、短チャネル効果を極めて効果的に抑制し、素子のさら
15 なる微細化を実現することができ、さらに、ドレイン耐圧を低減でき、電子注入又はホール注入による書込・消去電圧を低減できる。

また、ゲート電極とソース／ドレイン領域によって、メモリ機能体を挟持することにより、ゲート電極とソース／ドレイン領域間に直接電界をかけ、選択した2つのノード間で電子又はホールの注入、電子又はホールの引き抜きが可能となり、ホットエ
20 レクトロンやホットホール注入と比較して、書込・消去効率を向上させることができる。

ソース／ドレイン領域が、ゲート電極端に対してオフセットされて配置される場合には、ゲート電極に電圧を印加したときのメモリ機能体下のオフセット領域の寄生抵抗がメモリ機能体に蓄積された電荷量によって大きく変化させることができ、メモリ
25 効果を増大させることができる。

本発明において、ソース／ドレイン領域がN型半導体からなる場合には、一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域及びゲート電極が基準電圧よりも高い電圧に設定されることにより、又は一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域が基準電圧よりも高い電圧、ゲート電極が基準

電圧よりも低い電圧に設定されることにより、すなわち、3つの電極の相対電位を設定するのみで、メモリ機能体に、選択的に、電子又はホールが注入され得るため、半導体記憶装置におけるメモリセル当たりの電極数を少なくでき、セル面積のさらなる縮小化を実現することができる。

- 5 同様に、ソース／ドレイン領域がP型半導体からなる場合には、一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域及びゲート電極が基準電圧よりも低い電圧に設定されることにより、又は一方のソース／ドレイン領域が基準電圧、他方のソース／ドレイン領域が基準電圧よりも低い電圧、ゲート電極が基準電圧よりも高い電圧に設定されることにより、メモリ機能体に、選択的に、ホール又は電子が
10 注入され得るため、セル面積のさらなる縮小化を実現することができる。

ウェル領域又は拡散領域上であって、ゲート電極の両端に直接又は絶縁膜を介して、電荷保持膜が形成されている場合には、電荷保持膜における電荷の多寡に応じて反転層を制御することができる。よって、大きなヒステリシス（閾値の変化）を得ることができ、良好な特性の半導体記憶装置を得ることができる。

- 15 半導体基板が、表面半導体層を有するSOI基板からなり、第1導電型のウェル領域が前記表面半導体層にボディ領域として形成されてなる場合には、拡散領域とボディ領域との接合容量を著しく小さくすることができ、素子の高速化及び低消費電力化が可能となる。

- 電荷保持膜が、ゲート電極端近傍において、拡散領域及び／又はウェル領域もしくは
20 はボディ領域と絶縁膜を介して接している場合には、保持電荷の漏れを抑制することができ、電荷の保持特性を向上させることができる。

- ゲート電極が、下端部に凹部を有しており、電荷保持膜の少なくとも1部が、直接又は絶縁膜を介して前記凹部内に埋め込まれている場合には、電荷保持膜の少なくとも一部がゲート電極で覆われているので、特に消去時においてホットキャリアの注入
25 効率を改善することができ、よって、高速な消去動作を実現することが可能となる。

ゲート電極が、側壁に側壁絶縁膜を有し、該側壁絶縁膜の一部が電荷保持膜として形成されてなる場合には、側壁絶縁膜をマスクとして拡散領域を形成するためのイオン注入を行なうことにより、拡散領域端の位置を制御するのが容易となる。よって、拡散領域がゲート電極の下方にまで達しないようにして、ウェル領域又はボディ領域

が電荷保持膜と直接又は絶縁膜を介して接する領域を形成することができる。したがって、良好な特性を有する半導体記憶装置を得ることができる。

また、本発明の半導体記憶装置の製造方法によれば、簡単な工程により、高性能、高集積化が可能な半導体記憶装置を製造することが可能となる。

- 5 さらに、本発明の半導体装置のウェル領域又はボディ領域がP型の導電型を有する場合には、一方の拡散領域を基準電圧とし、ゲート電極を基準電圧よりも低い電圧に設定し、ウェル領域又はボディ領域を基準電圧よりも高い電圧に設定し、他方の拡散領域をウェル領域又はボディ領域の電圧よりも高い電圧に設定することにより、P型ウェル領域又はボディ領域から、基準電圧に固定された拡散領域に対して順方向電流
10 が流れる。このため、P型ウェル領域又はボディ領域と、他方の拡散領域との接合において、バンド間トンネルによりホットホールが発生するに足りない電圧差しか印加されない場合においても、基準電圧に固定された拡散領域からウェル領域またはボディ領域に注入された電子が、ホットホールを発生させることができる。したがって、他方の拡散領域に隣接するメモリ機能体にホールを注入する効果が増大し、ホール注
15 入時の動作時の電圧を低下させることができる。

- また、本発明の半導体装置のウェル領域又はボディ領域がN型の導電型を有する場合
合には、N型のウェル領域又はボディ領域から基準電圧に固定された拡散領域に対して順方向電流が流れる。このため、ウェル領域又はボディ領域と、他方の拡散領域との接合においてバンド間トンネルによりホットエレクトロンが発生するに足りない
20 電圧差しか印加されない場合においても、基準電圧に固定された拡散領域からウェル領域またはボディ領域に注入されたホールが、ホットエレクトロンを発生させることができる。したがって、他方の拡散領域に隣接するメモリ機能体に電子を注入する効果が増大し、電子注入時の動作時の電圧を低下させることができる。

- 上述のメモリ機能体は、電荷を蓄積又はトラップ又は電荷分極状態を保持する機能
25 を有する膜によって形成されており、例えば、シリコン窒化膜を含む絶縁体膜、導電膜もしくは半導体層を内部に含む絶縁体膜、導電体もしくは半導体ドットを1つ以上含む絶縁体膜等の単層又は積層構造によって形成されている。シリコン窒化膜を含む絶縁体膜の場合、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの

発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、量産工場に導入しやすい効果がある。また、導電膜もしくは半導体層を内部に含む絶縁体膜である場合、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

5 。また、導電体もしくは半導体ドットを1つ以上含む絶縁体膜である場合、電荷の直接トンネリングによる書込・消去が行いやすくなり、低消費電力化の効果がある。さらに、上記電荷保持膜の一形態として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができる効果がある。

10

また、メモリ機能体が電荷を保持する機能を有する膜を含み、電荷を保持する機能を有する膜の少なくとも一部とソース/ドレイン領域とがオーバーラップしている

15

ので、読出し電流の減少が抑制される。したがって、半導体記憶記憶装置の読出し動作速度を高速にすることができる。

さらには、SOI層からなる半導体層上に、ゲート絶縁膜とゲート電極とメモリ機能体が形成された場合には、拡散領域とボディ領域との接合容量を著しく小さくすることができ、素子の高速化及び低消費電力化が可能となる。

20

また、ウェル領域を含んだ半導体層を用いた場合には、ゲート絶縁膜直下の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

さらには、メモリ機能体が電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいれば、電荷の散逸を防いで保持特性を向上させることができる。また、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。したがって、メモリの保持特性を改善することができる。メモリ機

25

5 半体内に、ゲート絶縁膜がなす面と略並行な電荷保持膜があることにより、電荷保持膜に蓄積された電荷の多寡によりオフセット領域での反転層の形成されやすさを効果的に制御することができる。そのため、メモリ効果を大きくすることができる。また、電荷保持膜はゲート絶縁膜表面と略平行に配置されているため、オフセット量が
10 ばらついた場合でもメモリ効果の変化を比較的小さく保つことができる。そのため、メモリ効果のばらつきを抑制することができる。さらに、電荷保持膜が、ゲート絶縁膜表面と略平行に配置された膜状であるから、上方向への電荷の移動が抑制される。これゆえ、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。したがって、メモリ効果が大きくてばらつきの少ない、保持特性の良い半導体記憶装置を得ることができる。

また、メモリ機能体が、ゲート電極側面と略平行に延びた電荷保持膜をさらに含む場合、半導体記憶装置の保持特性の悪化を防ぎながら書換え速度を高速にすることができる。

15 さらに、ゲート電極とゲート電極側面と略平行に延びた電荷保持膜とを隔てる絶縁膜をさらに含む場合は、ゲート電極側面と略平行に延びた電荷保持膜とゲート電極との間での電荷の出入りを抑制することができる。したがって、半導体記憶装置の信頼性を高くすることができる。

また、ゲート絶縁膜表面と略平行に延びた電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜をさらに含む場合は、ゲート絶縁膜表面と略平行な電荷保持膜に蓄積された電荷の散逸が抑制されるため、さらに保持特性のよい半導体記憶装置を得ることができる。

25 電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より薄い場合は、メモリの耐圧性能を低下させることなく書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、メモリ効果を増大することが可能となる。

また、電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より厚い場合は、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

さらに、前記第1導電型の半導体層は、メモリ機能体の下かつソース/ドレイン領

域近傍で、ゲート電極下における第1導電型の半導体層表面近傍よりも、第1導電性を与える不純物濃度が濃い領域を有しているため、拡散領域と半導体層との接合が、メモリ機能体の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となる。更に、ゲート絶縁膜直下の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値は低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な半導体記憶装置を得ることができる。

また、チャンネル長方向の切断面におけるゲート電極長をA、ソース/ドレイン領域間のチャンネル長をB、一方のメモリ機能体の端から他方のメモリ機能体の端までの距離をCとすると、 $A < B < C$ なる関係が成り立つため、メモリ効果の増大、読出し動作の高速化及び短チャンネル効果の低減が実現する。

さらに、メモリ機能体のゲート電極と反対側のそれぞれに配置されたソース/ドレイン領域がN型(P型)の場合、メモリ機能体に電子(ホール)を注入して記憶状態を変化させる時と、メモリ機能体の記憶状態を読み出す時とで、ソース/ドレイン領域の一方及び他方に印加する電圧の大小関係を逆にする。そのため、所望のメモリ機能体の記憶状況を感度良く検出することができる。さらには、リードディスタープに対する耐性が向上する。

また、携帯電子機器が本発明の半導体記憶装置を備えることにより、機能及び動作速度を向上させることができるとともに、製造コストの削減に伴って安価な携帯電子機器が得られる。

請求の範囲

1. 半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域と接して形成された第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨って配置されたメモリ機能体と、該メモリ機能体に接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有することを特徴とする半導体記憶装置。
5
2. 半導体層内に形成された第1導電型の領域と、半導体層内に該第1導電型の領域の両側に形成された2つの第2導電型の領域と、前記半導体層上に前記第1及び第2導電型の領域の境界を跨ってそれぞれ配置された2つのメモリ機能体と、該メモリ機能体のそれぞれに接しかつ第1導電型の領域上に絶縁膜を介して設けられた電極とを有することを特徴とする半導体記憶装置。
10
3. 2つのメモリ機能体のそれぞれに独立して電荷を蓄積することにより、2ビット以上の情報を記憶する請求項2に記載の半導体記憶装置。
4. 半導体層内に形成されたチャネル領域と、該チャネル領域の両側に設けられた可変抵抗領域と、該可変抵抗領域を介してチャネル領域の両側に設けられた2つの拡散領域と、チャネル領域上にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極の両側に、可変抵抗領域と拡散領域の一部とを跨るように配置された2つのメモリ機能体とを備えることを特徴とする半導体記憶装置。
15
5. 可変抵抗領域が、拡散領域とは異なる導電型に設定されてなる請求項4に記載の半導体記憶装置。
20
6. チャネル領域内であって、一方のメモリ機能体に近い領域にピンチオフ点が形成されることにより、他方のメモリ機能体に記憶された情報が読み出される請求項4に記載の半導体記憶装置。
7. 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側であって前記拡散領域にオーバーラップして形成された、電荷を保持するためのメモリ機能体からなることを特徴とする半導体記憶装置。
25

8. 半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板又は半導体層上にゲート絶縁膜を介して形成された単一のゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に形成された2つの拡散領域と、前記ゲート電極の両側であって前記拡散領域にオーバーラップして形成された2つのメモリ機能体とからなるメモリセルを1つ以上有してなることを特徴とする半導体記憶装置。

9. メモリ機能体が、前記メモリ機能体に保持された電荷の多寡に対応して、ゲート電極への電圧印加によって、少なくとも前記メモリ機能体下に位置する拡散領域の抵抗を変化させ、一方の拡散領域から他方の拡散領域に流れる電流量を変化させるように構成されてなる請求項7又は8に記載の半導体記憶装置。

10. メモリ機能体が、前記メモリ機能体に保持された電荷の多寡に対応して、少なくとも該メモリ機能体下に位置する拡散領域の一部を空乏化させるか、もしくは導電型を反転させるように構成されてなる請求項7又は8に記載の半導体記憶装置。

11. 1つのメモリセルが、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層に接続された1つの端子と、2つの拡散領域に接続された2つの端子と、ゲート電極に接続された1つの端子との4つの端子のみによって構成されてなる請求項8に記載の半導体記憶装置。

12. 前記半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層に与えられる電圧と、ゲート電極に与えられる電圧と、2つの拡散領域のそれぞれに与えられる電圧との4種の電圧印加のみにより、1つのメモリセルの読み出し、書込み又は消去動作のいずれかが行われる請求項8に記載の半導体記憶装置。

13. 半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層と、該半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成された単一のゲート電極と、該ゲート電極直下に配置されたチャネル領域と、チャネル領域の両側に配置された2つの拡散領域と、前記ゲート電極の両側であって、拡散領域にオーバーラップして形成された側壁絶縁膜からなるメモリセルを1つ以上有してなり、

前記側壁絶縁膜が電荷を保持する機能を有してなることを特徴とする半導体記憶装置。

14. 側壁絶縁膜が、側壁絶縁膜に保持された電荷の多寡に対応して、前記側壁絶縁膜下の拡散領域の少なくとも一部を空乏化させるか、もしくは導電型を反転させるように構成されてなる請求項13に記載の半導体記憶装置。

15. 2つのメモリ機能体により1つのメモリセルあたり4値の情報を記憶する請求項4～14のいずれか1つに記載の半導体記憶装置。

16. 拡散領域の一部が、チャネル領域表面よりも高い位置に延設され、かつメモリ機能体の少なくとも一部がゲート電極と前記拡散領域の一部とに挟持されてなる請求項4～15のいずれか1つに記載の半導体記憶装置。

17. 拡散領域に電極配線端子が接続されており、メモリ機能体の少なくとも一部が、ゲート電極と前記拡散領域に接続された電極配線端子の一部とに挟持されてなる請求項4～15のいずれか1つに記載の半導体記憶装置。

18. 拡散領域が、ゲート電極端に対してオフセットされて配置される請求項4～17のいずれか1つに記載の半導体記憶装置。

19. 拡散領域がゲート電極とオーバーラップするか、拡散領域の端部がゲート電極端と一致して配置される請求項4～17のいずれか1つに記載の半導体記憶装置。

20. 拡散領域がN型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域及びゲート電極が基準電圧よりも高い電圧に設定されることによりメモリ機能体に電子が注入され得る請求項4～19のいずれか1つに記載の半導体記憶装置。

21. 拡散領域がN型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域が基準電圧よりも高い電圧、ゲート電極が基準電圧よりも低い電圧に設定されることによりメモリ機能体にホールが注入され得る請求項4～19のいずれか1つに記載の半導体記憶装置。

22. 拡散領域がP型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域及びゲート電極が基準電圧よりも低い電圧に設定されることによりメモリ機能体にホールが注入され得る請求項4～19のいずれか1つに記載の半導体記憶装置。

23. 拡散領域がP型半導体からなり、一方の拡散領域が基準電圧、他方の拡散領域が基準電圧よりも低い電圧、ゲート電極が基準電圧よりも高い電圧に設定されることによりメモリ機能体に電子が注入され得る請求項4～19のいずれか1つに記載の半導体記憶装置。

24. 半導体基板と、

該半導体基板内に形成された第1導電型のウェル領域と、

該ウェル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成された複数のワード線と、

5 該ワード線の両側にそれぞれ形成された複数の第2導電型の拡散領域と、

少なくとも該拡散領域の一部の上、もしくは前記ウェル領域の一部から拡散領域の一部の上に跨って、前記複数のワード線の両側に、前記ワード線、ウェル領域、拡散領域に対して直接又は絶縁膜を介して形成された、電荷を蓄積又はトラップする機能を有する電荷保持膜と、

10 前記拡散領域と接続され、前記ワード線と交差する方向に伸びる複数のビット線からなることを特徴とする半導体記憶装置。

25. 半導体基板が、表面半導体層を有するSOI基板からなり、第1導電型のウェル領域が前記表面半導体層にボディ領域として形成されてなる請求項24に記載の半導体記憶装置。

15 26. 電荷保持膜が、ワード線端近傍において、拡散領域及び／又はウェル領域もしくはボディ領域と、絶縁膜を介して接している請求項24又は25に記載の半導体記憶装置。

27. ワード線が、下端部に凹部を有しており、電荷保持膜の少なくとも1部が、直接又は絶縁膜を介して前記凹部内に埋め込まれてなる請求項24～26のいずれか
20 1つに記載の半導体記憶装置。

28. ワード線が、側壁に側壁絶縁膜を有し、該側壁絶縁膜の一部が電荷保持膜として形成されてなる請求項24～27のいずれか1つに記載の半導体記憶装置。

29. 拡散領域の一部が、ゲート絶縁膜下面よりも高い位置に延設され、かつ電荷保持膜の少なくとも一部がワード線と前記拡散領域の一部とに挟持されてなる請求項
25 24～28のいずれか1つに記載の半導体記憶装置。

30. メモリ機能体又は側壁絶縁膜が、電荷を蓄積又はトラップする機能、あるいは電荷分極状態を保持する機能を有する膜であり、シリコン窒化膜を含む絶縁体膜；導電体膜又は半導体層を内部に含む絶縁体膜；導電体又は半導体からなるドットを1つ以上内部に含む絶縁体膜；あるいは電界により内部電荷が分極し、その状態が保持さ

れる強誘電体膜を含む絶縁膜の単層又は積層膜である請求項1～29のいずれか1つに記載の半導体記憶装置。

31. 半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、

前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部が前記拡散領域の一部にオーバーラップするように形成されてなることを特徴とする半導体記憶装置。

32. 半導体層は、SOI層からなる請求項31に記載の半導体記憶装置。

33. 半導体層が、ウェル領域を含む請求項31又は32に記載の半導体記憶装置。

34. メモリ機能体が、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含む請求項31～33のいずれか1つに記載の半導体記憶装置。

35. メモリ機能体が、ゲート絶縁膜の表面と略平行な表面を有する電荷保持膜を含む請求項31～34のいずれか1つに記載の半導体記憶装置。

36. メモリ機能体が、ゲート電極側面と略平行に延びた電荷保持膜を含む請求項35に記載の半導体記憶装置。

37. メモリ機能体が、ゲート電極と、該ゲート電極側面と略平行に延びた電荷保持膜とを隔てる絶縁膜をさらに含む請求項36に記載の半導体記憶装置。

38. 上記メモリ機能体が、ゲート絶縁膜の表面と略平行な表面を有する電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜をさらに含む請求項35～37のいずれかに記載の半導体記憶装置。

39. 電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より薄く、かつ0.8nm以上である請求項38に記載の半導体記憶装置。

40. 電荷保持膜とチャネル領域又は半導体層とを隔てる絶縁膜の膜厚が、ゲート絶縁膜の膜厚より厚く、かつ20nm以下である請求項38に記載の半導体記憶装置。

41. 第1導電型の半導体層と、該第1導電型の半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反

対側のそれぞれに配置された2つの第2導電型の拡散領域とからなり、

前記メモリ機能体は電荷を保持する機能を有する膜を含み、該電荷を保持する機能を有する膜の少なくとも一部と拡散領域の少なくとも一部とがオーバーラップしており、

5 前記第1導電型の半導体層は、前記メモリ機能体の下かつ前記拡散領域近傍で、上記ゲート電極下における第1導電型の半導体層表面近傍よりも高濃度の第1導電型の高濃度領域を有していることを特徴とする半導体記憶装置。

42. ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の
10 前記ゲート電極と反対側のそれぞれに配置された2つの拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、

チャネル長方向における前記ゲート電極長をA、前記拡散領域間のチャネル長をB、前記一方のメモリ機能体の端から他方のメモリ機能体の端までの距離をCとすると、 $A < B < C$ なる関係が成り立つことを特徴とする半導体記憶装置。

15 43. ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つのN型拡散領域と、前記ゲート電極下に配置されたチャネル領域とからなり、

前記メモリ機能体に電子を注入して記憶状態を変化させる時と、該メモリ機能体の
20 記憶状態を読み出す時とで、上記拡散領域の一方及び他方に印加する電圧の大小関係が逆に設定されることを特徴とする半導体記憶装置。

44. ゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と、該メモリ機能体の前記ゲート電極と反対側のそれぞれに配置された2つのP型拡散領域と、前記ゲート
25 電極下に配置されたチャネル領域とからなり、

前記メモリ機能体にホールを注入して記憶状態を変化させる時と、該メモリ機能体の記憶状態を読み出す時とで、上記ソース/ドレイン領域の一方及び他方に印加する電圧の大小関係が逆に設定されることを特徴とする半導体記憶装置。

45. 半導体基板上にゲート絶縁膜及びゲート電極を形成し、

電荷を蓄積又はトラップする機能を有する絶縁膜を得られた基板上全面に堆積し、該絶縁膜を選択的にエッチングしてゲート電極の側壁に側壁絶縁膜を形成することからなる請求項28に記載の半導体記憶装置の製造方法。

46. P型半導体基板、半導体基板中に形成されたP型ウェル領域又は絶縁体上に配置されたP型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方に配置されたチャンネル領域と、該チャンネル領域の両側に位置する2つのN型ソース／ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、

一方のソース／ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも低い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層を基準電圧よりも高い電圧に設定し、他方のソース・ドレイン領域を、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に形成された前記半導体層よりも高い電圧に設定することにより、ホールを前記メモリ機能体に注入することを特徴とする半導体記憶装置の動作方法。

47. N型半導体基板、半導体基板中に形成されたN型ウェル領域又は絶縁体上に配置されたN型半導体層上に形成された、1つのゲート電極と、該1つのゲート電極下方のチャンネル領域と、該チャンネル領域の両側に位置する2つのP型ソース・ドレイン領域と、該ソース／ドレイン領域近傍に存在するメモリ機能体からなる半導体記憶装置に対して、

一方のソース・ドレイン領域を基準電圧とし、前記ゲート電極を基準電圧よりも高い電圧に設定し、前記半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層を基準電圧よりも低い電圧に設定し、他方のソース・ドレイン領域を、半導体基板、半導体基板中に形成された前記ウェル領域又は絶縁体上に配置された前記半導体層よりも低い電圧に設定することにより、電子を前記メモリ機能体に注入することを特徴とする半導体記憶装置の動作方法。

48. メモリ機能体又は側壁絶縁膜が、電荷を蓄積又はトラップする機能、あるいは電荷分極状態を保持する機能を有する膜であり、シリコン窒化膜を含む絶縁体膜；導電体膜又は半導体層を内部に含む絶縁体膜；導電体又は半導体からなるドットを1つ以上内部に含む絶縁体膜；あるいは電界により内部電荷が分極し、その状態が保持さ

れる強誘電体膜を含む絶縁膜の単層又は積層膜である請求項46又は47に記載の半導体記憶装置の動作方法。

49. 請求項1～44のいずれか1つに記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

図 2

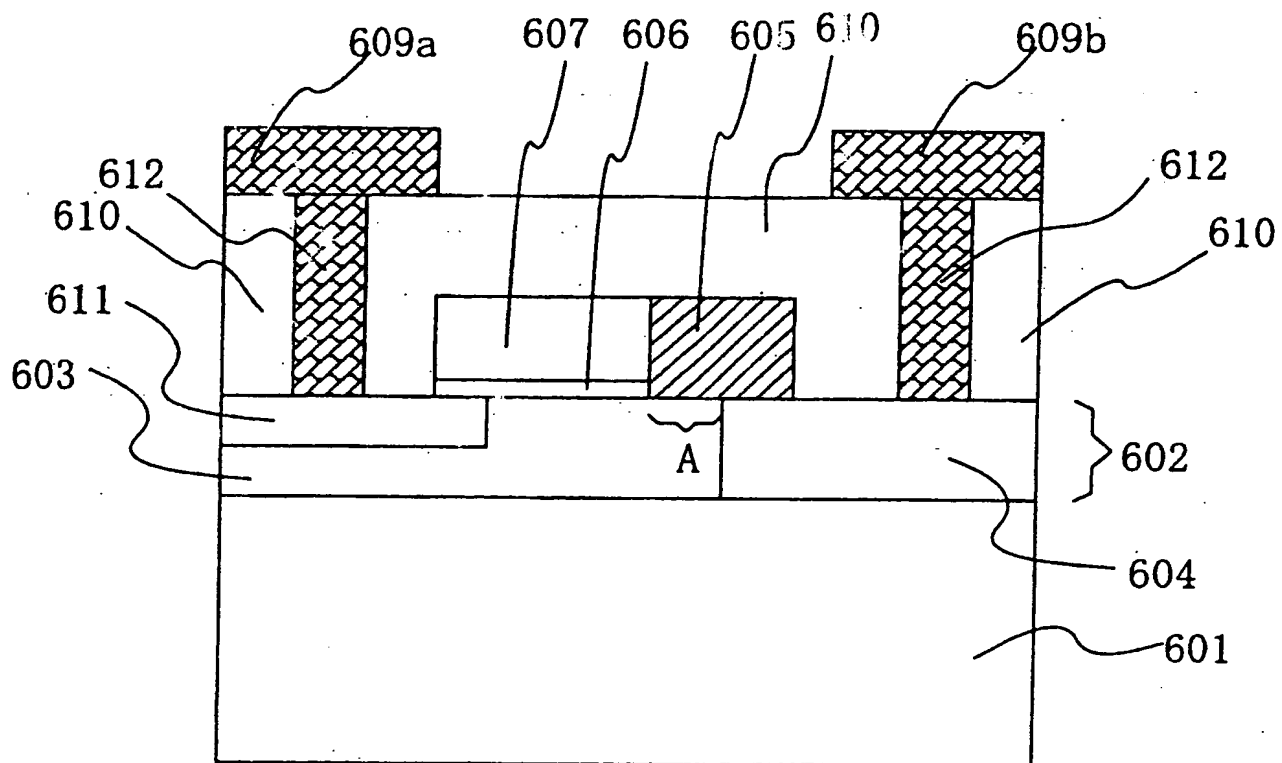


図 3

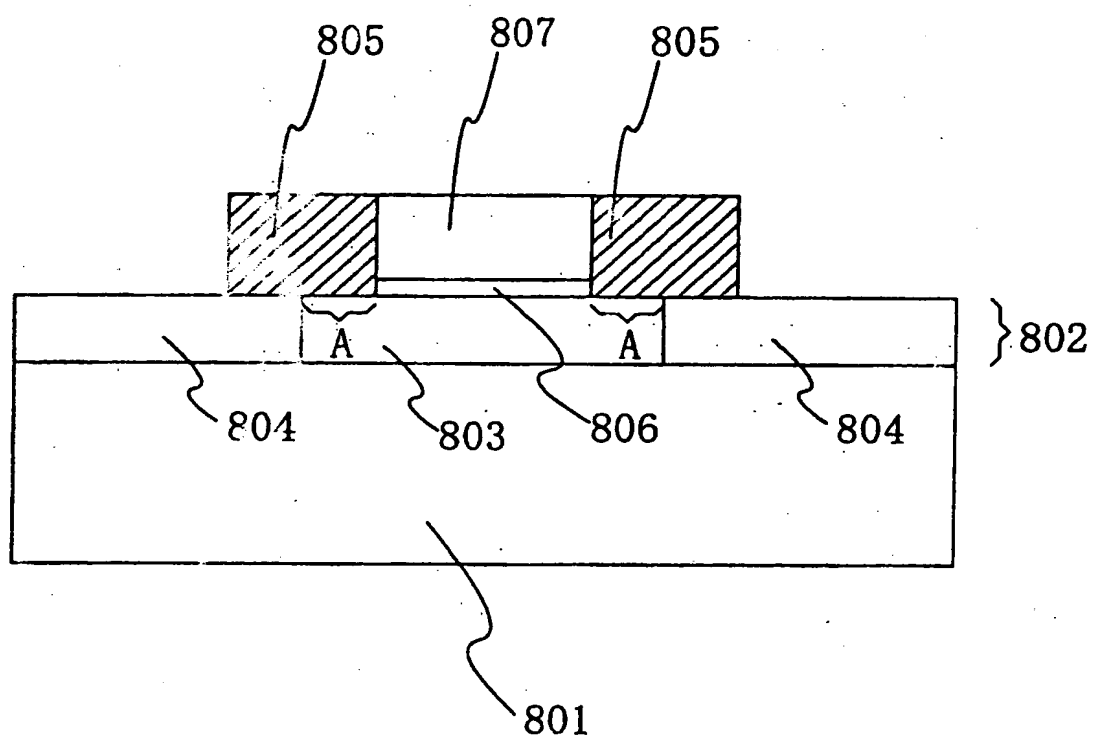


図 4

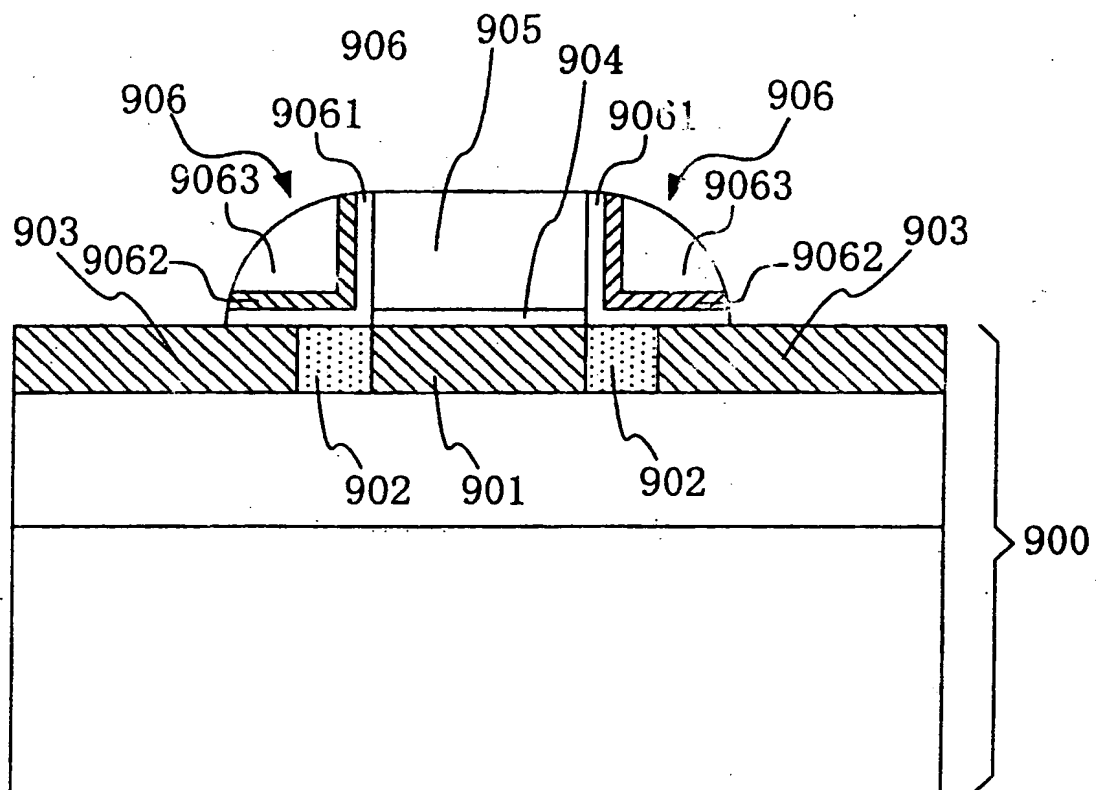


図 5 (a)

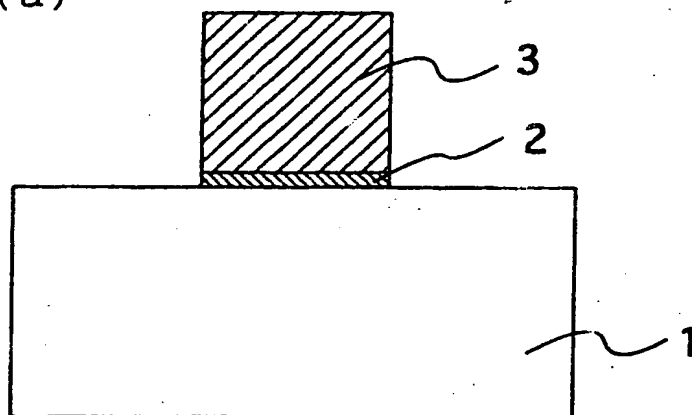


図 5 (b)

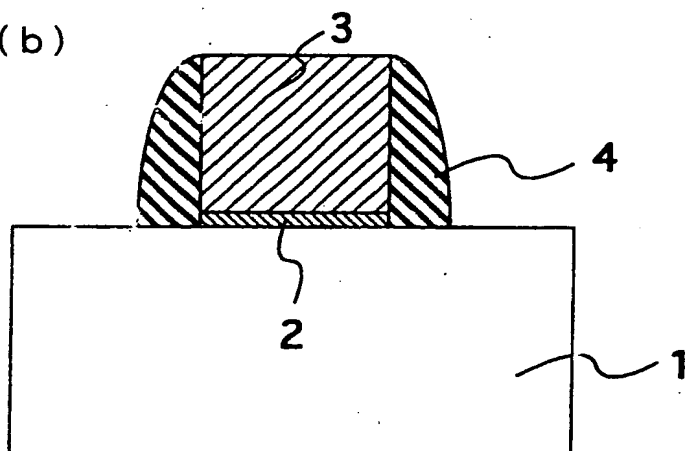


図 5 (c)

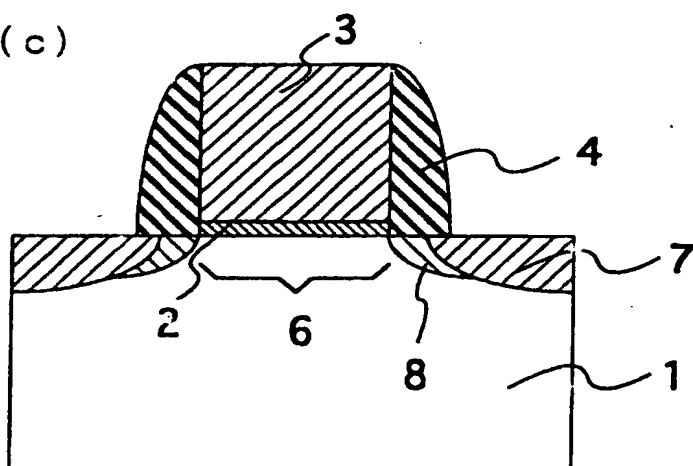


図 6(a)

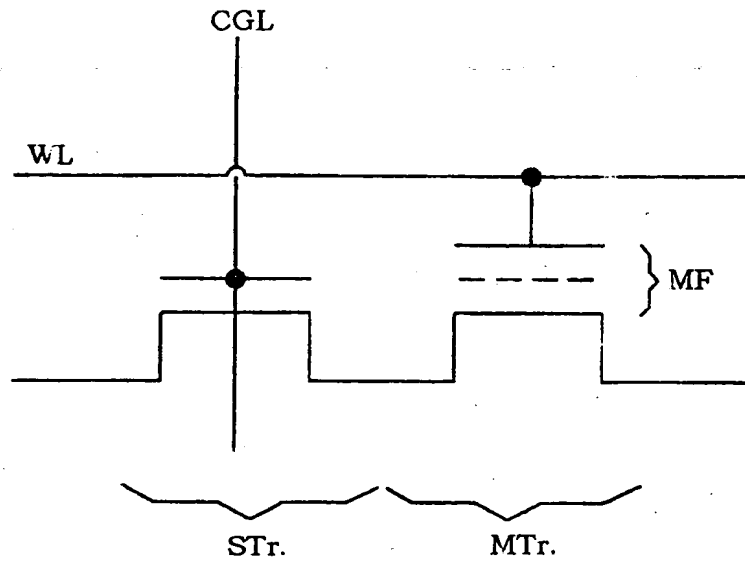


図 6(b)

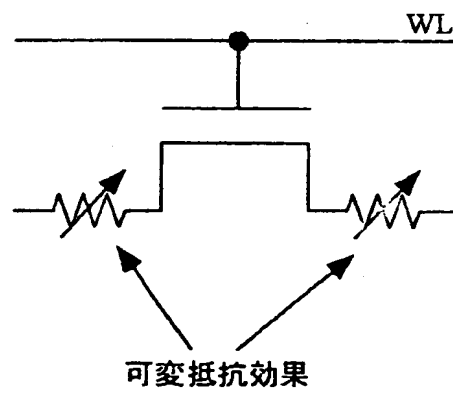


図 7(a)

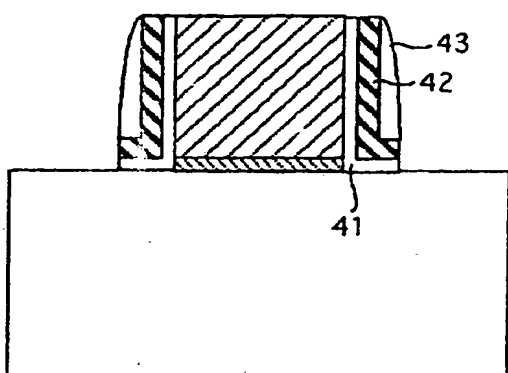


図 7(d)

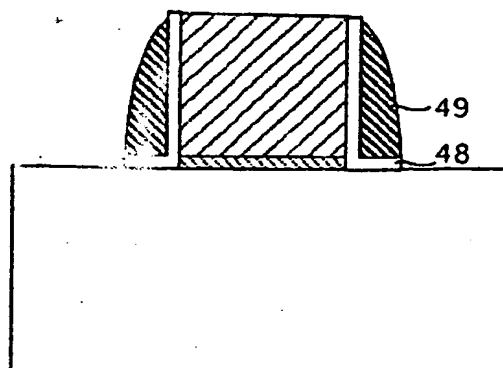


図 7(b)

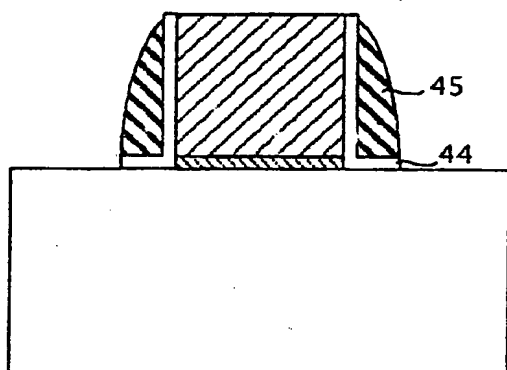


図 7(e)

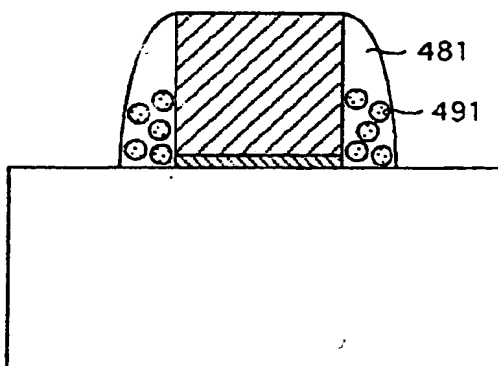


図 7(c)

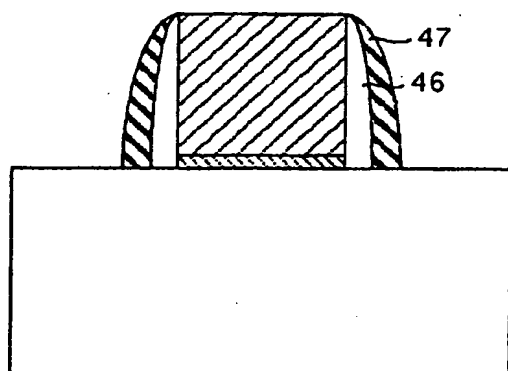


図 3

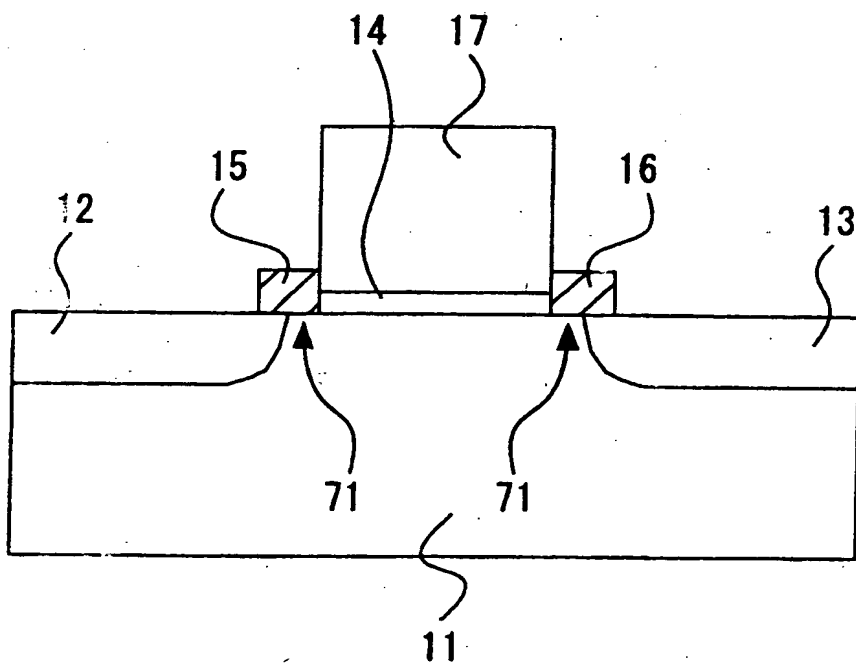


図 9(a)

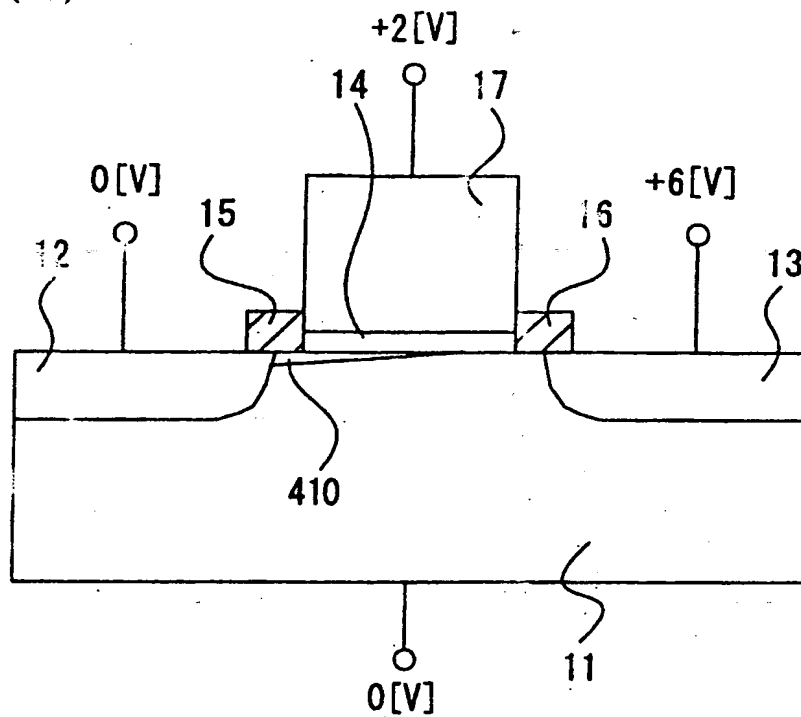


図 9(b)

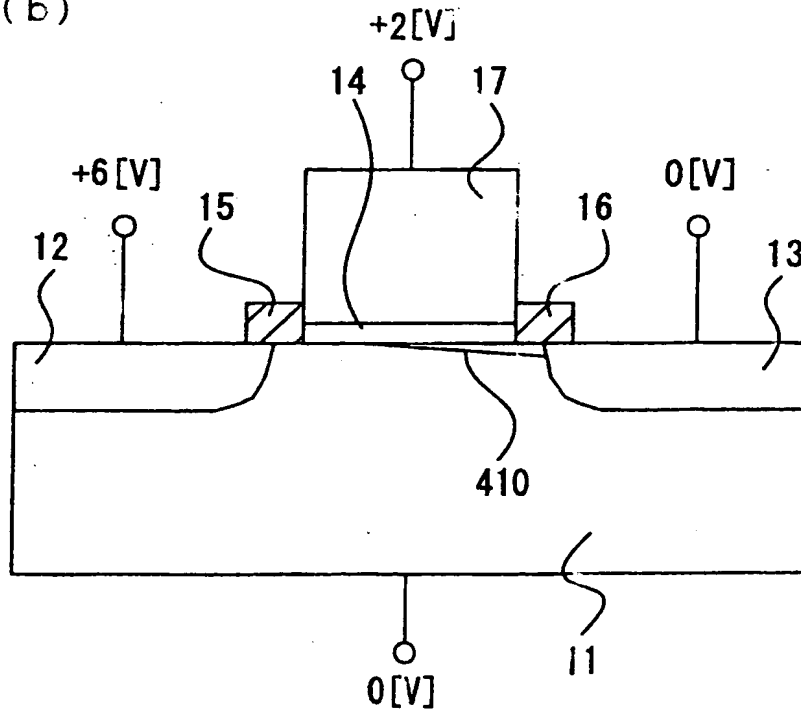


図 10

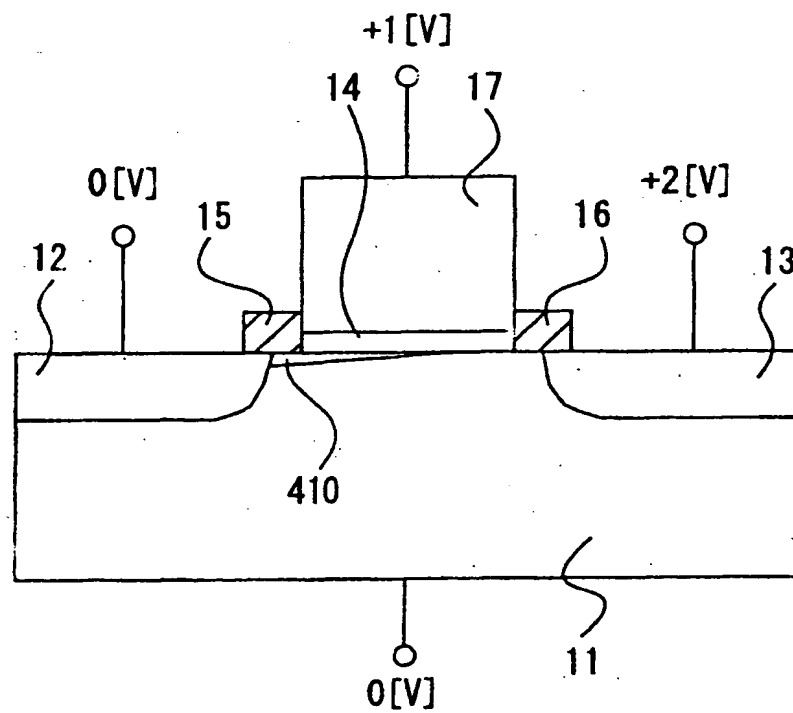


図 11

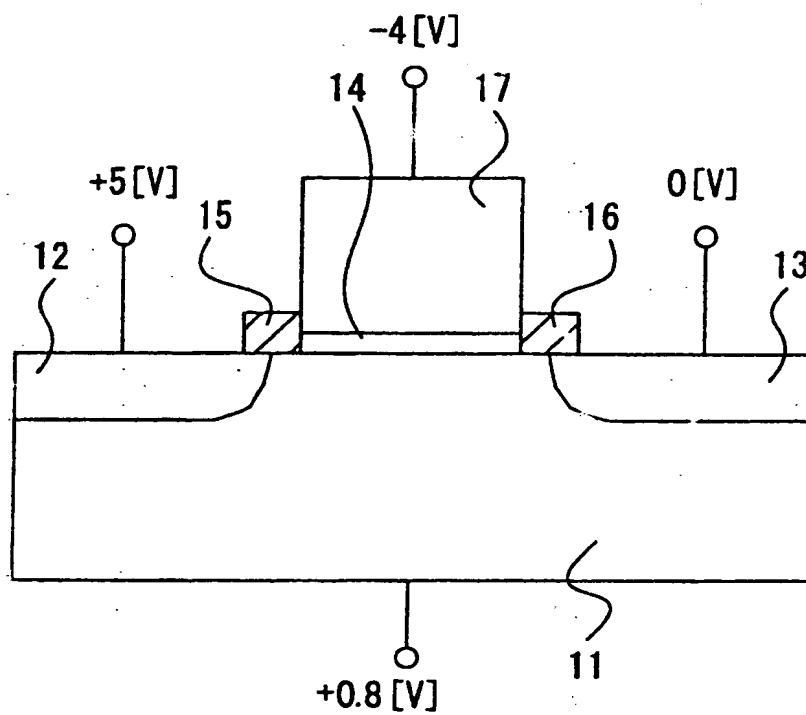


図 12

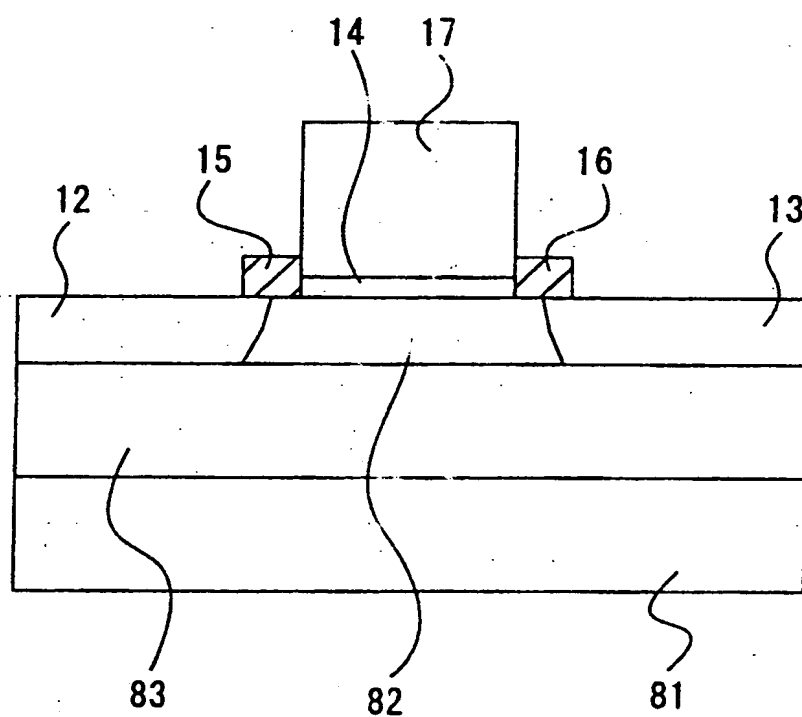
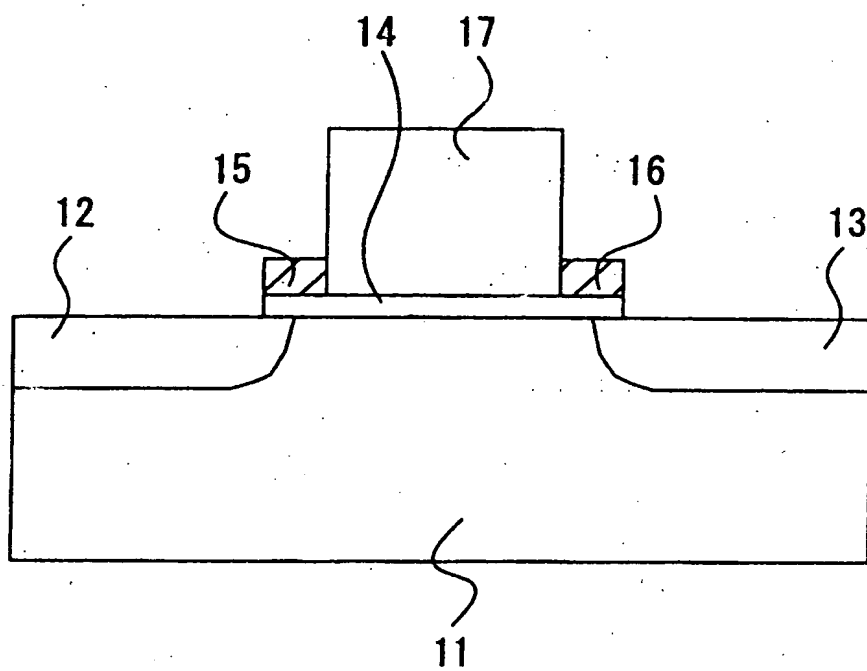


図 13



14

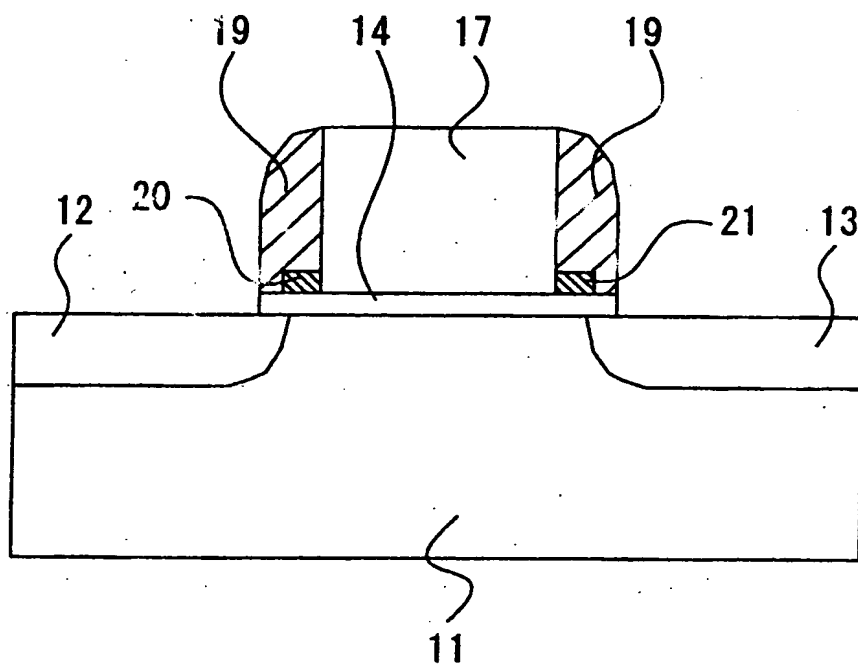


図 15

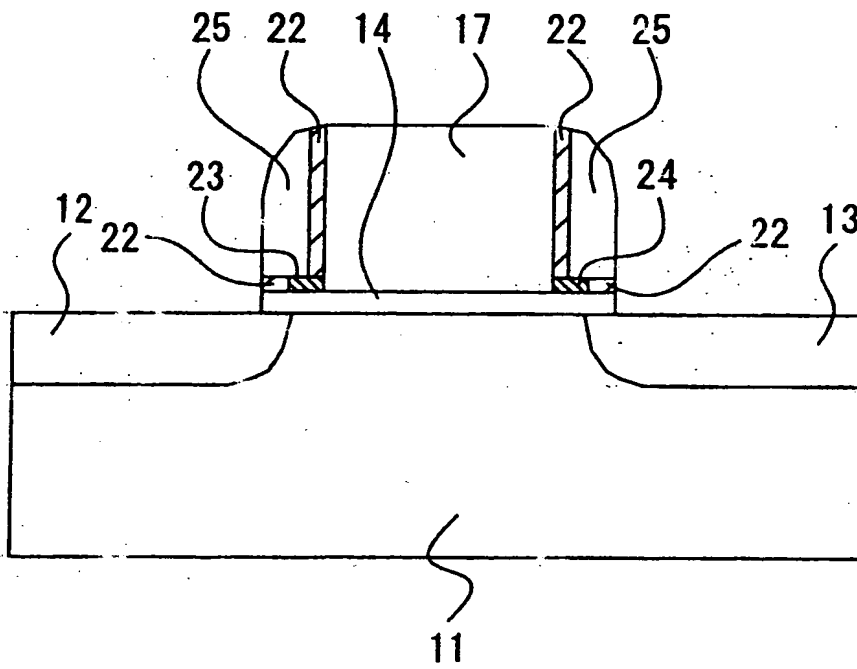


図 16(a)

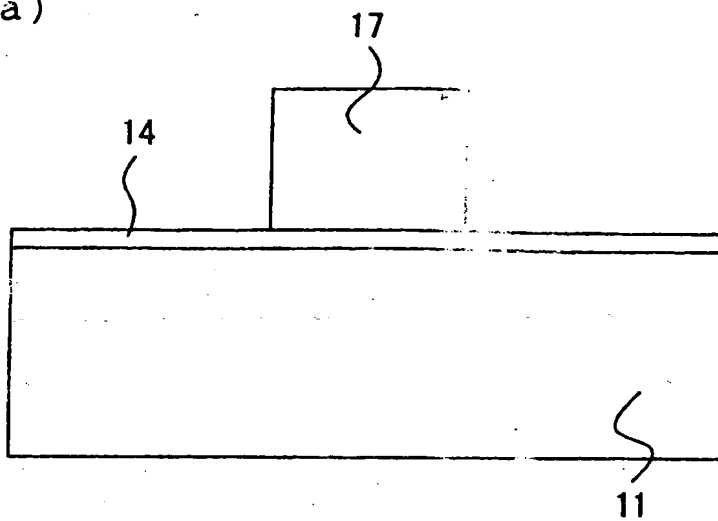


図 16(b)

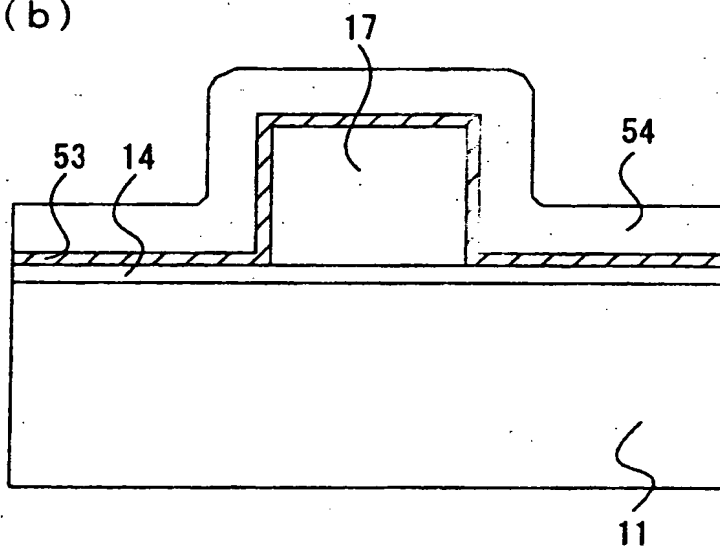


図 16(c)

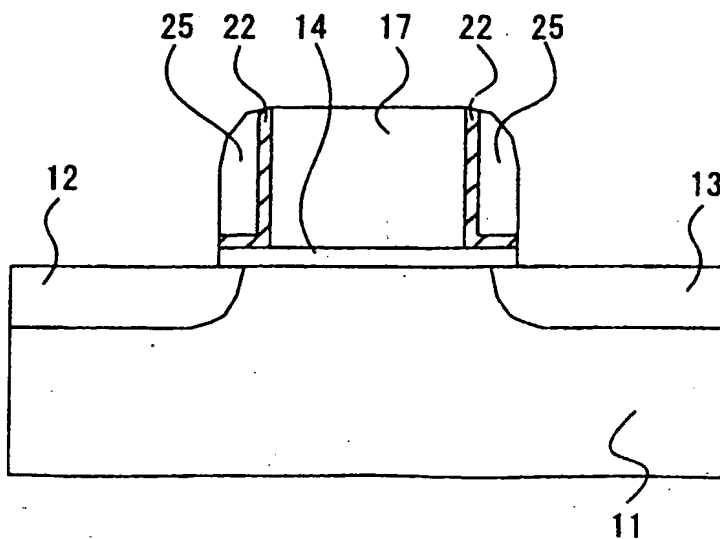


図 17

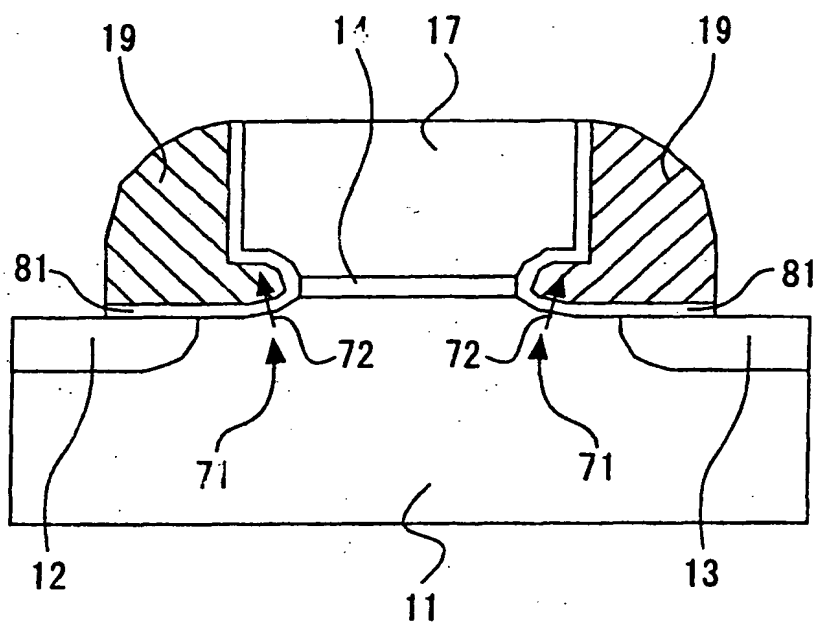


図 18(a)

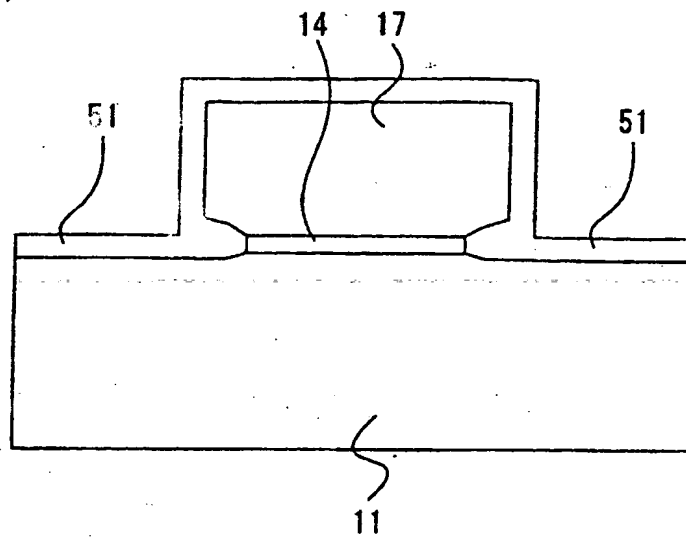


図 18(b)

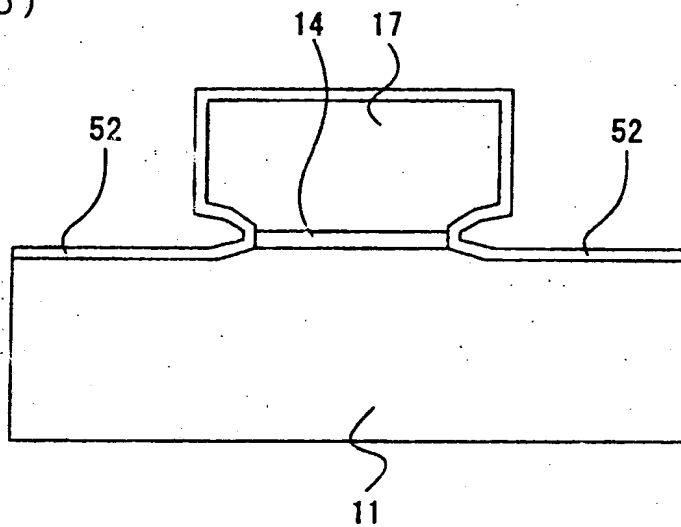


図 18(c)

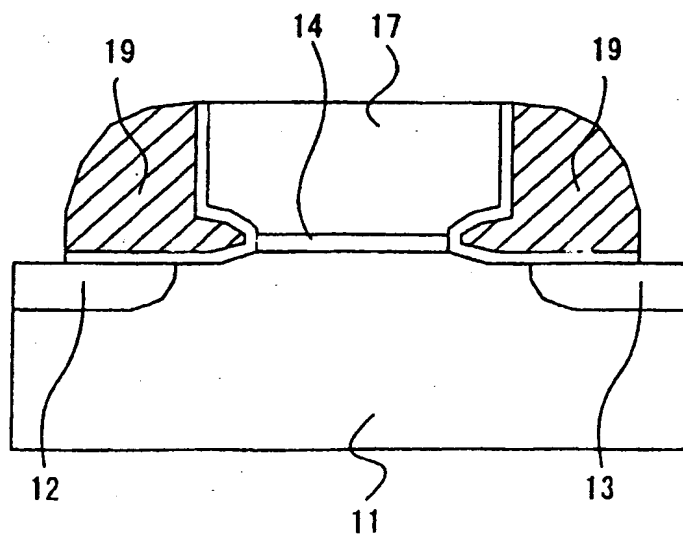


図 19

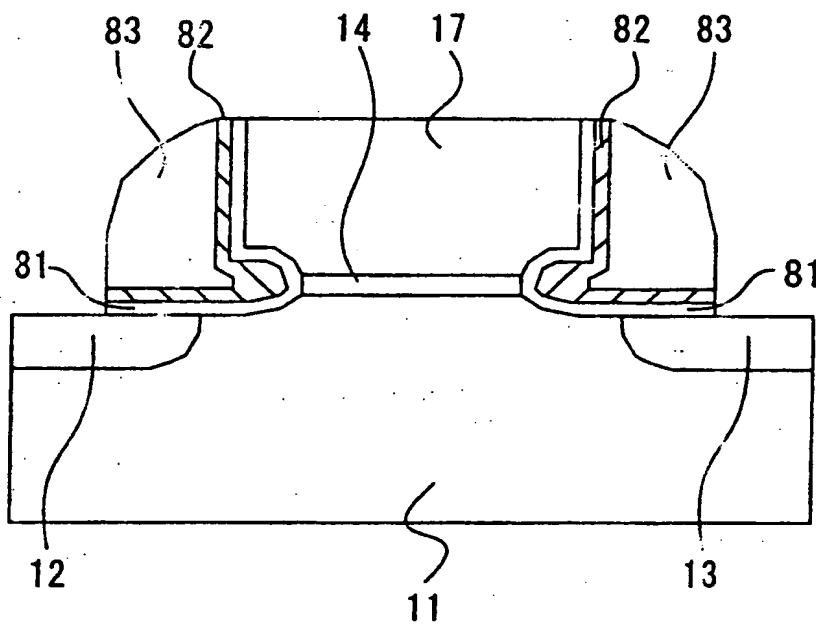


図 20

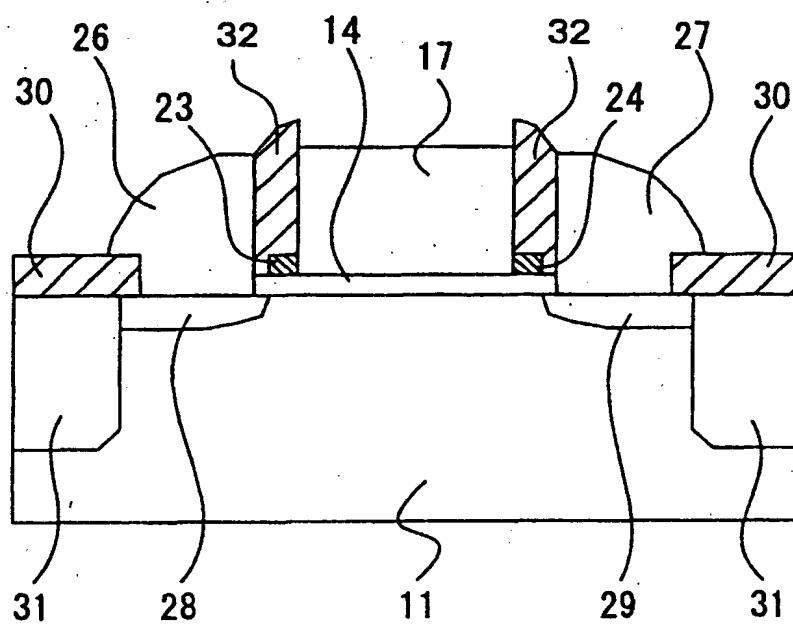


図 21(a)

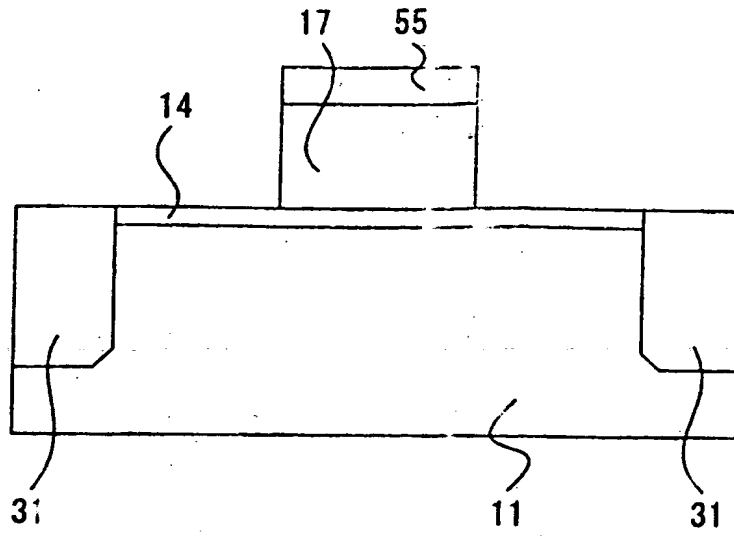


図 21(b)

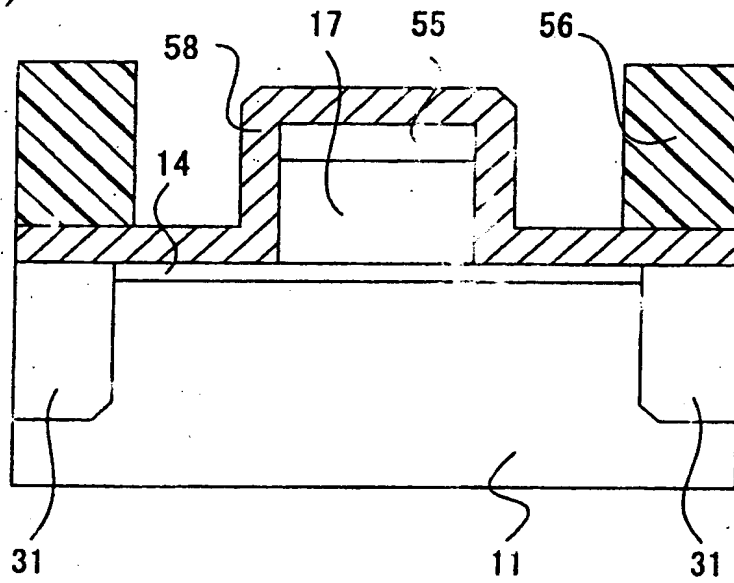


図 21(c)

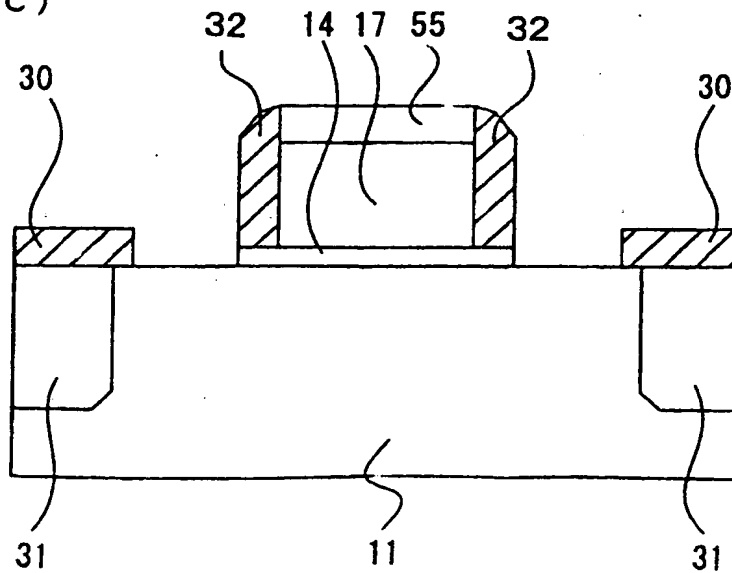


図 2 2 (d)

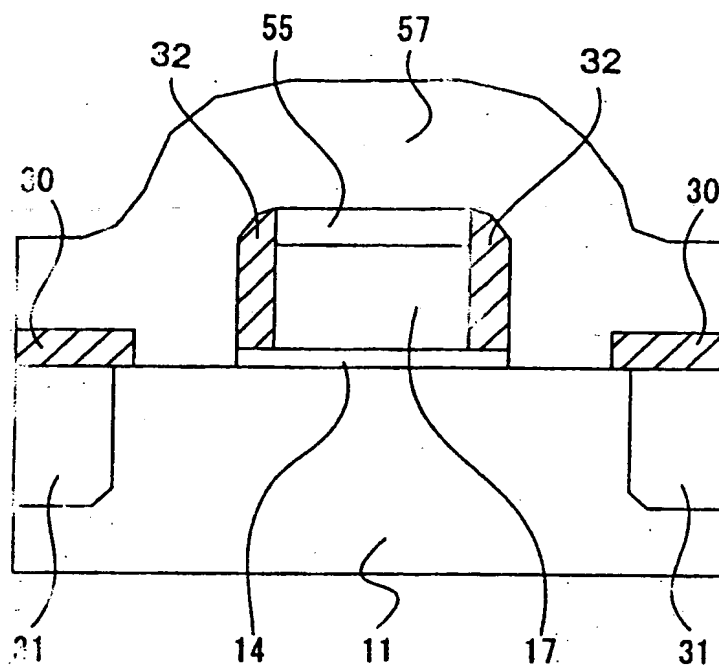


図 2 2 (e)

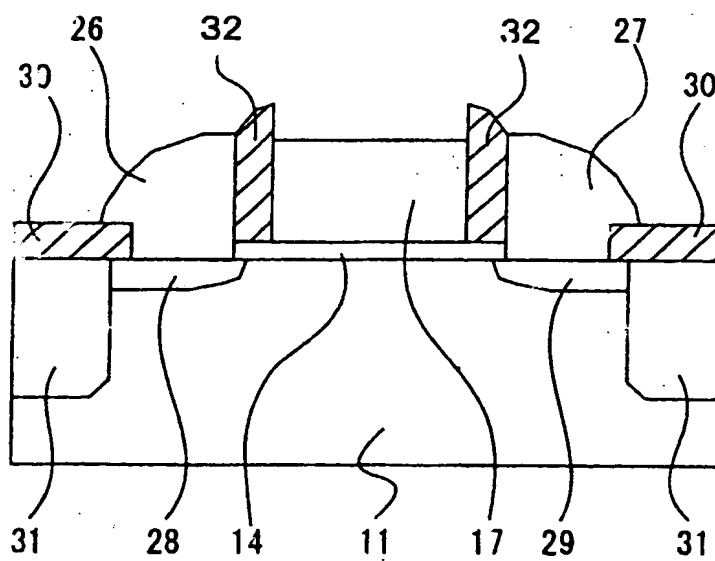


図 23(a)

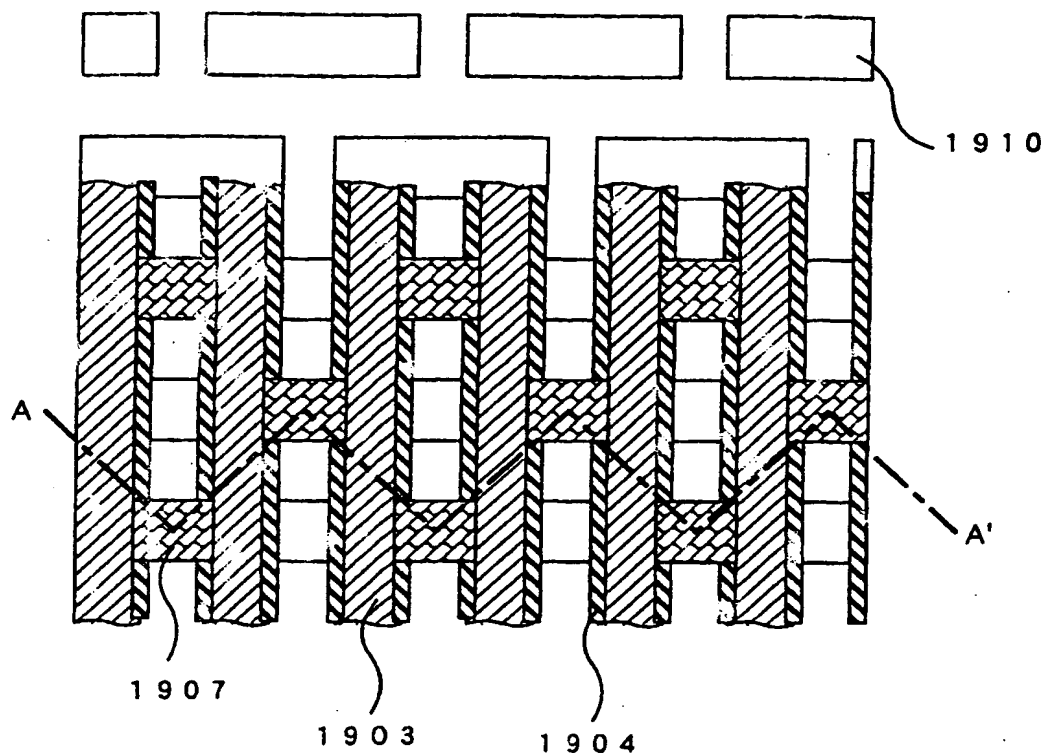


図 23(b)

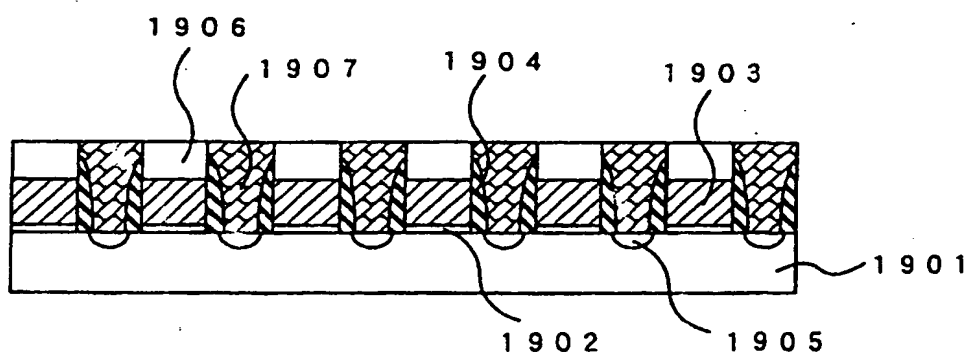


図 24

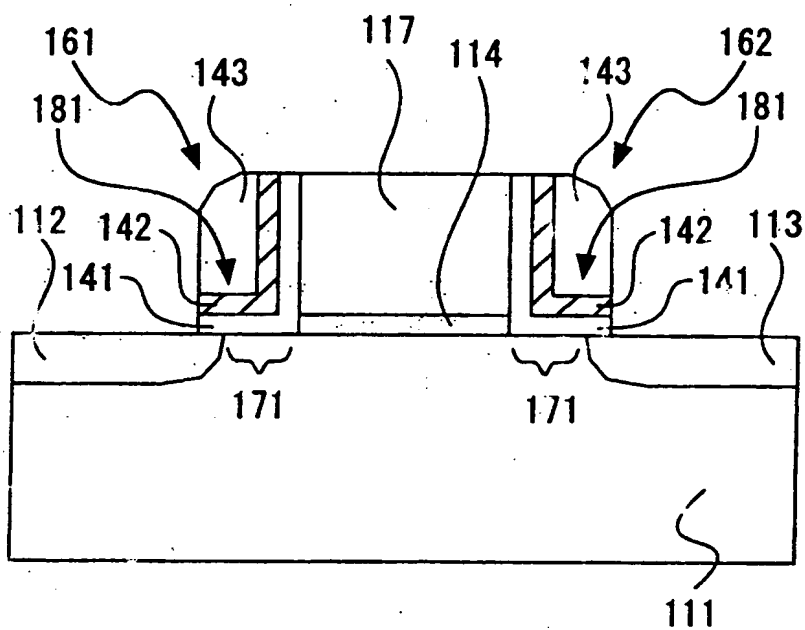


圖 25

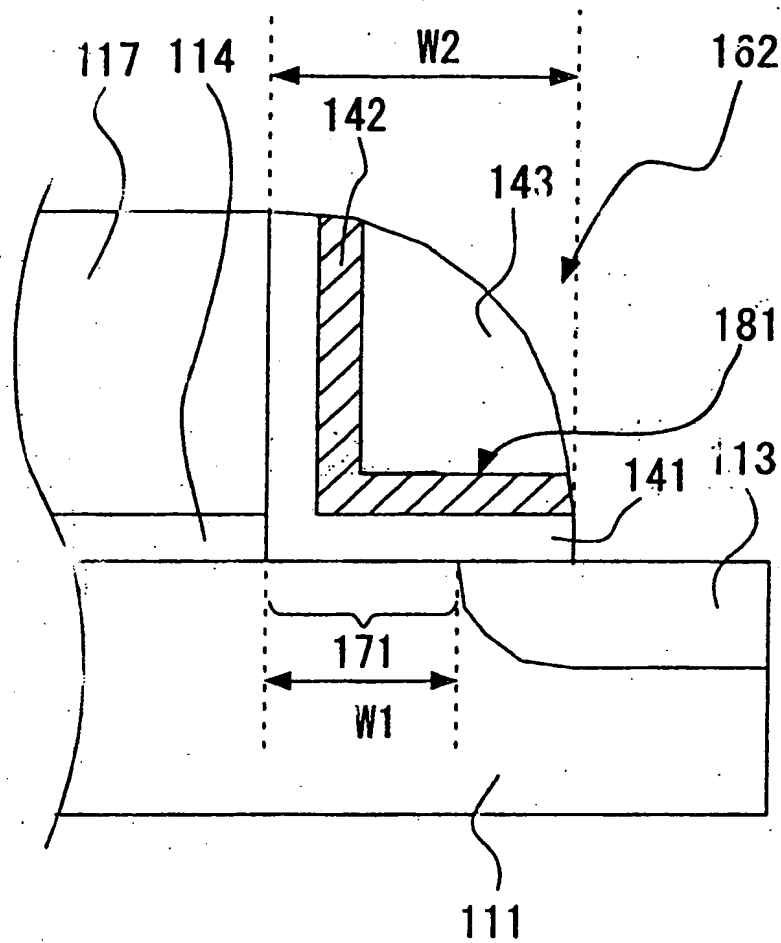


図 26

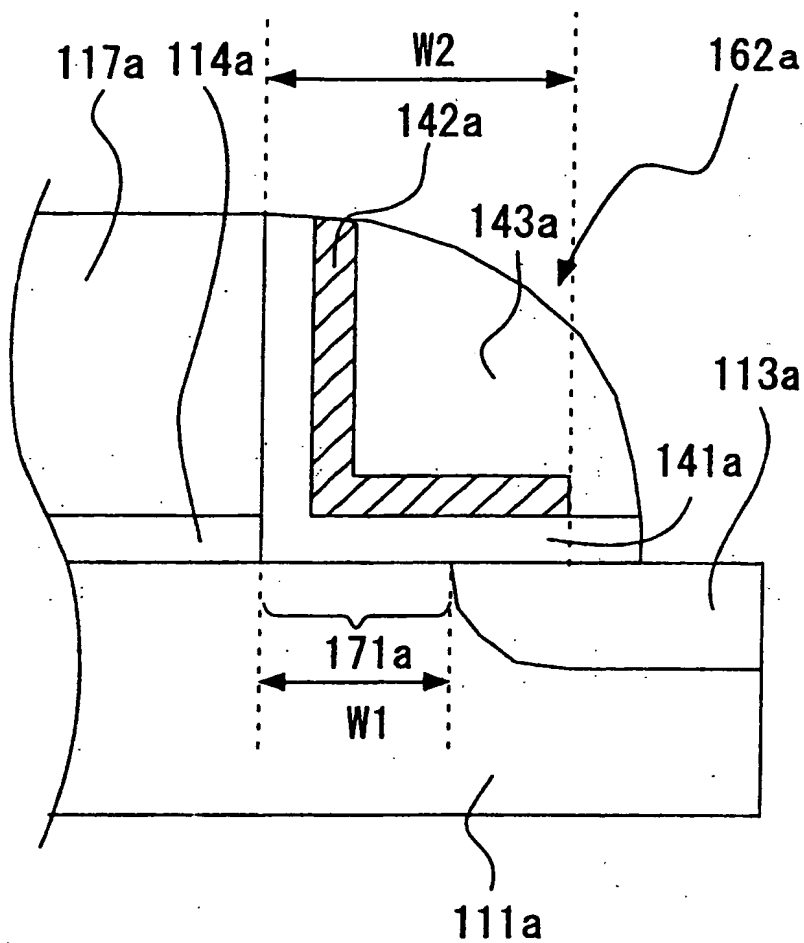


図 27

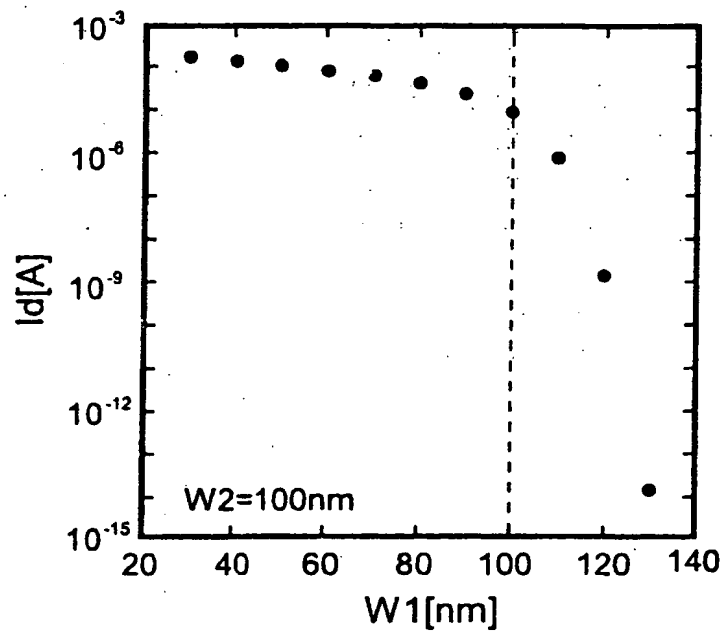


図 28

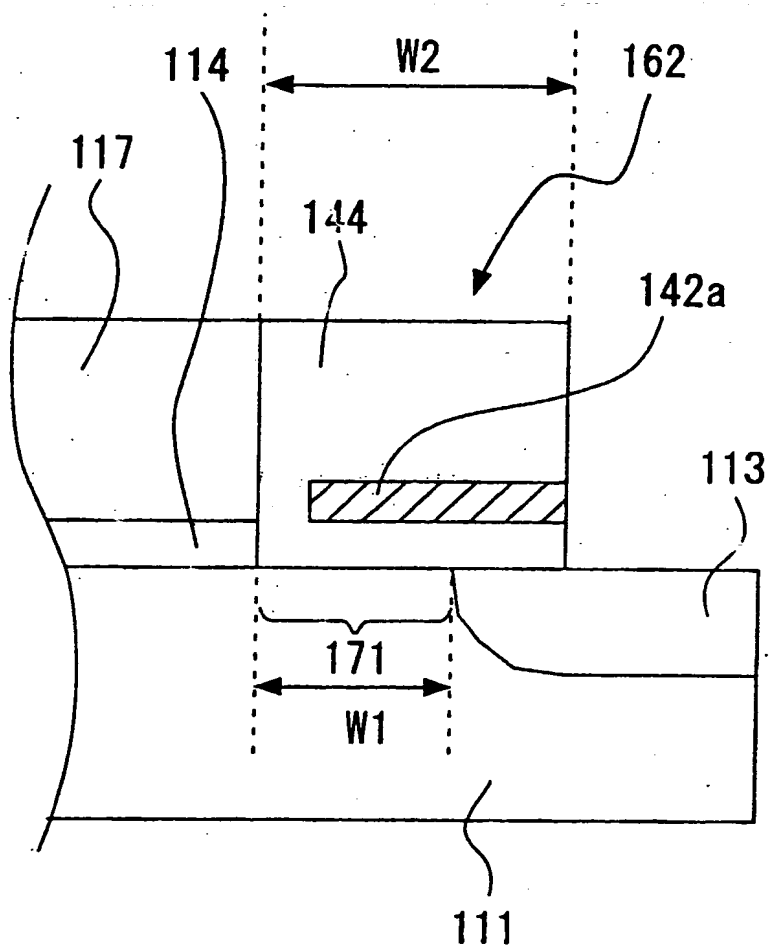


図 29

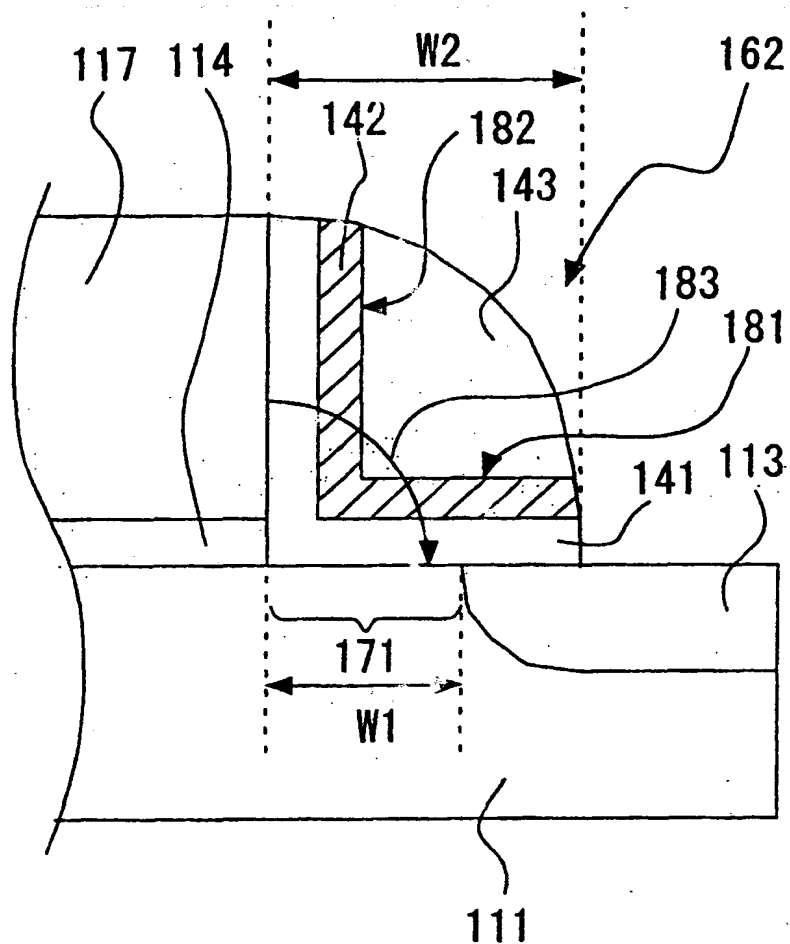


図 3 1

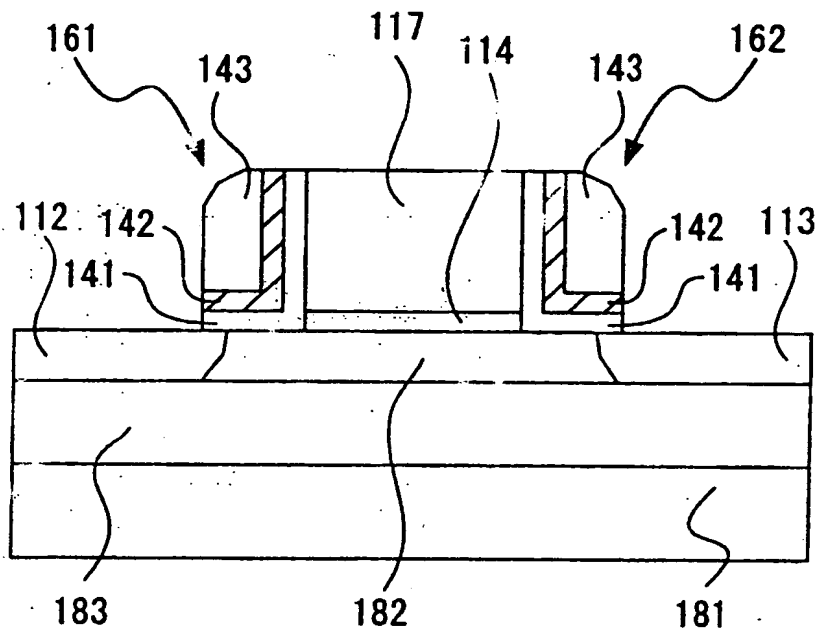


図 3 2

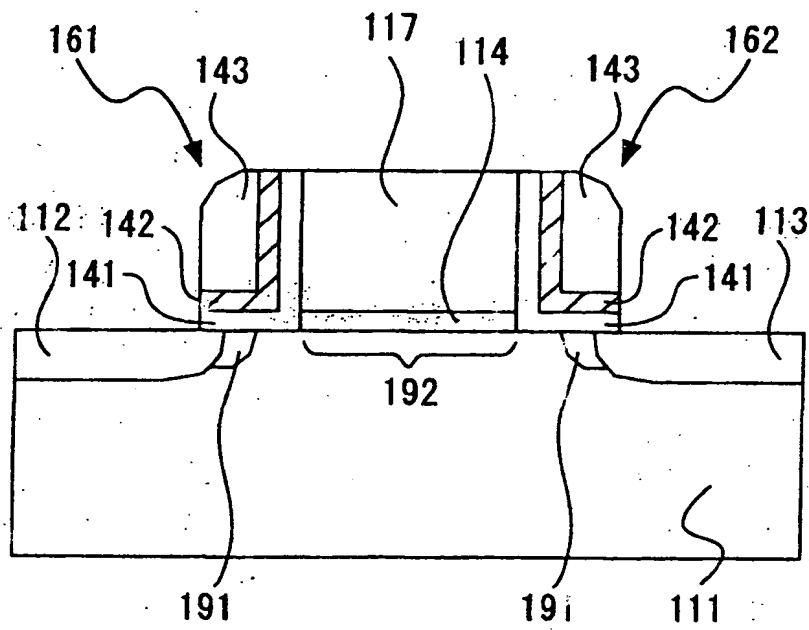


図 33

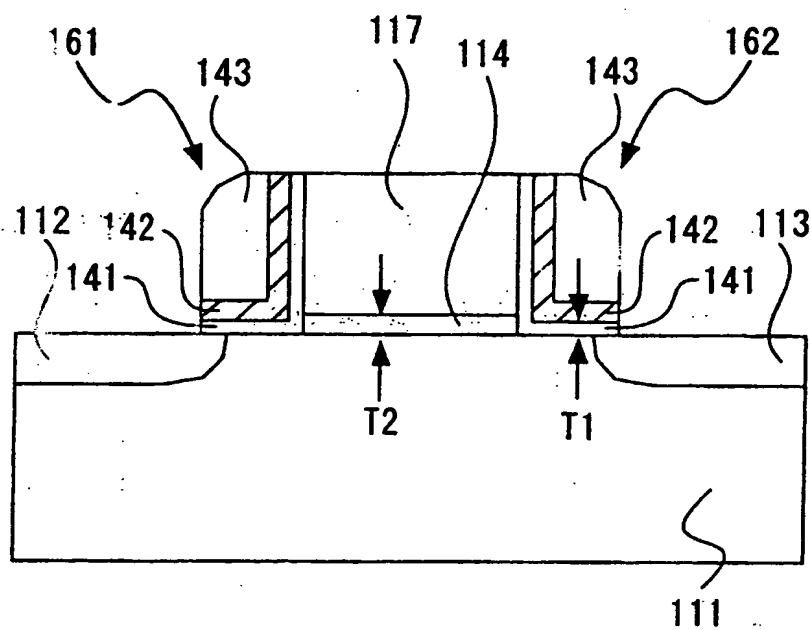


図 34

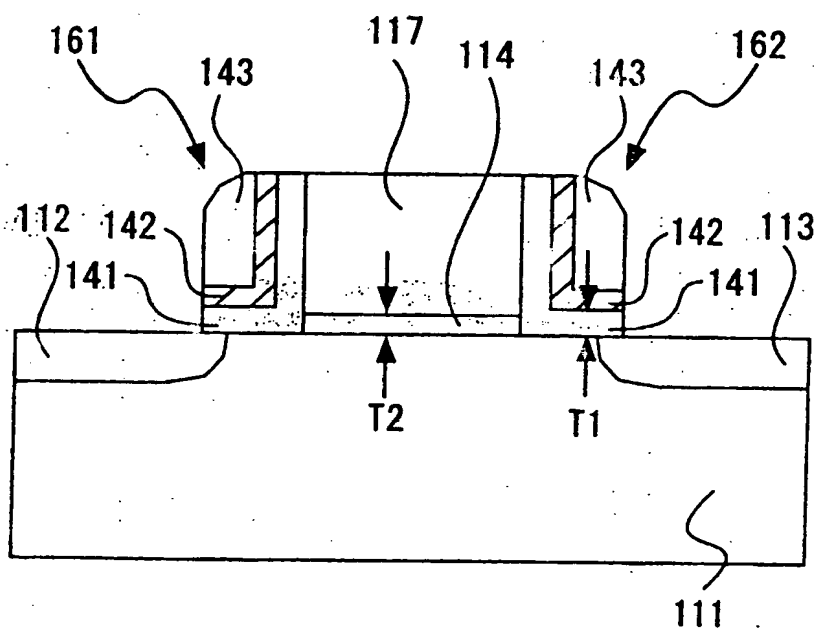


图 3 5

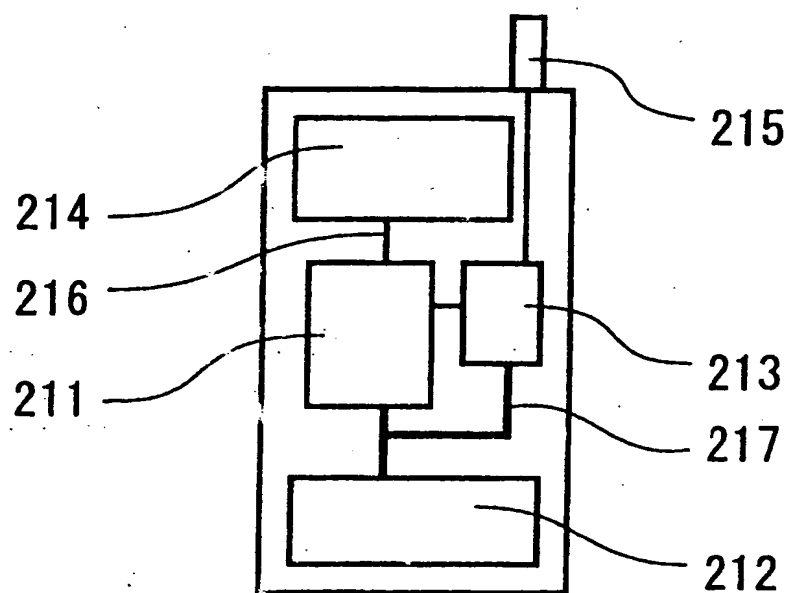


図 36 (a)

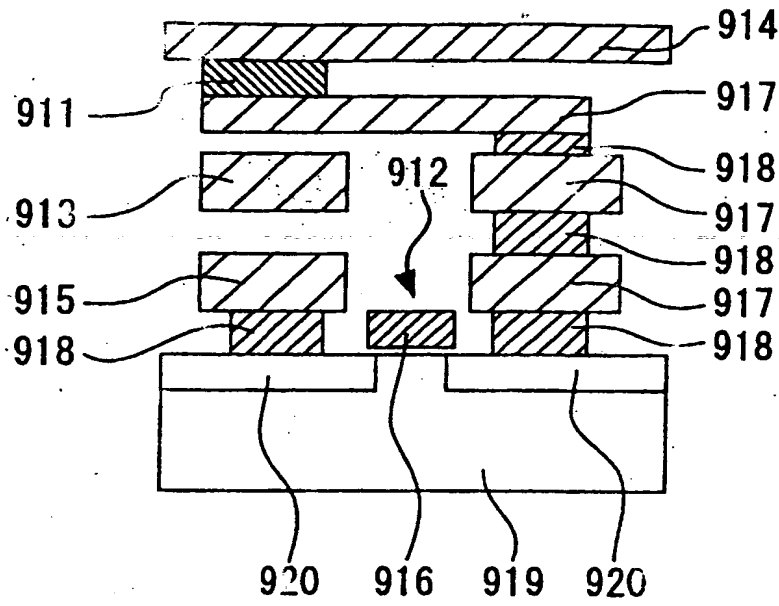
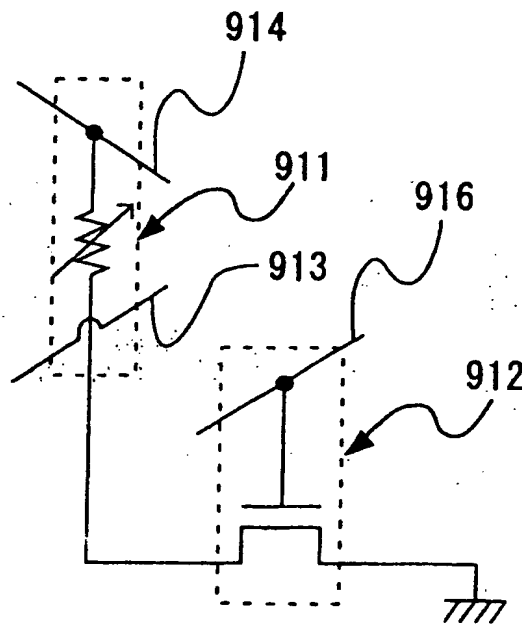


図 36 (b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12028

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/788, 29/792, 27/115, 21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/788, 29/792, 27/115, 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-237330 A (Sony Corp.), 31 August, 2001 (31.08.01), Full text	1-15, 18-26, 28, 30-35, 38-49
Y	(Family: none)	16, 17, 29, 36-38
A		27
X	JP 63-204770 A (Oki Electric Industry Co., Ltd.), 24 August, 1988 (24.08.88), Full text	1-15, 18-20, 24-26, 28, 30-35, 41-43, 45, 49
Y	(Family: none)	16, 17, 21-23, 29, 36-40, 44, 46-48
A		27

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
18 February, 2003 (18.02.03)

Date of mailing of the international search report
04 March, 2003 (04.03.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12028

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-191110 A (Nippondenso Co., Ltd.), 23 July, 1996 (23.07.96), Full text (Family: none)	16, 17, 29
Y	JP 11-274331 A (NEC Corp.), 08 October, 1999 (08.10.99), Full text (Family: none)	16, 17, 29
Y	US 5838041 A (KABUSHIKI KAISHA TOSHIBA), 17 November, 1998 (17.11.98), Full text & JP 9-97849 A Full text	36-38

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L29/788, 29/792, 27/115, 21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L29/788, 29/792, 27/115, 21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-237330 A (ソニー株式会社) 2001.08.31, 全文 (ファミリー無し)	1-15, 18-26, 28, 30-35, 38- 49
Y		16, 17, 29, 36- 38
A		27

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* - 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18.02.03

国際調査報告の発送日

04.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

9354

電話番号 03-3581-1101 内線 3462

C. (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 63-204770 A (沖電気工業株式会社) 1988. 08. 24, 全文 (ファミリー無し)	1-15, 18-20, 24-26, 28, 30- 35, 41-43, 45, 49
Y		16, 17, 21-23, 29, 36-40, 44, 46-48
A		27
Y	JP 8-191110 A (日本電装株式会社) 1996. 07. 23, 全文 (ファミリー無し)	16, 17, 29
Y	JP 11-274331 A (日本電気株式会社) 1999. 10. 08, 全文 (ファミリー無し)	16, 17, 29
Y	US 5838041 A (KABUSHIKI KAISHA TOSHIBA) 1998. 11. 17, 全文 & JP 9-97849 A, 全文	36-38

SPECIFICATION

SEMICONDUCTOR STORAGE DEVICE, ITS MANUFACTURING METHOD AND OPERATING METHOD, AND PORTABLE ELECTRONIC APPARATUS

5

TECHNICAL FIELD

The present invention relates to a semiconductor storage device, its manufacturing method and operating method, and a portable electronic apparatus. More particularly, the present invention relates to a semiconductor storage device which is a device having the function of converting a change in a charge amount into a current amount, its manufacturing method and operating method, and a portable electronic apparatus using such a semiconductor storage device.

15

BACKGROUND ART

Conventionally, as a nonvolatile memory using a resistance value of a variable resistor as storage information, rewriting the storage information by changing the resistance value, and reading out the storage information by detecting the resistance value, there is an MRAM (Magnetic Random Access Memory) (M. Durlam et al., Nonvolatile Ram Based on Magnetic Tunnel Junction Elements, International Solid-State Circuits Conference Digest of Technical Papers, pp. 130-131, Feb. 2000).

25

FIG. 36(a) is a schematic sectional view of one memory

cell constituting such an MRAM and FIG. 36(b) is an equivalent circuit diagram.

The memory cell is constituted in such a manner that a variable resistor 911 and a selection transistor 912 are
5 connected to each other via a metal wire 917 and a contact plug 918. In addition, a bit line 914 is connected to one end of the variable resistor 911.

The variable resistor 911 is constituted by MTJ (Magnetic Tunnel Junction) and is sandwiched by a rewrite word line 913
10 extended in a direction orthogonal to the bit line 914 and the bit line at the crossing point of the lines.

The selection transistor 912 is constituted by a pair of diffusion regions 920 formed on a semiconductor substrate 919 and a gate electrode. One of the diffusion regions 920 is
15 connected to the variable resistor 911 via the metal wire 917 and the contact plug 918, and the other diffusion region is connected to a source line 915. The gate electrode constitutes a selection word line 916.

A rewriting operation of the MRAM is performed in such a
20 manner that a composite magnetic field generated by current flowing in the bit line 914 and the rewrite word line 913 changes the resistance value of the variable resistor 911. On the other hand, a reading operation is performed in such a manner that the selection transistor 912 is turned on and a current value
25 flowing in the variable resistor 911, that is, the resistance value

of the variable resistor 911 is detected.

As described above, a memory cell of the MRAM is constituted by two devices: the variable resistor 911 which is a device having three terminals; and the selection transistor 912
5 which is a device having three terminals. Consequently, it is limited and difficult to realize further scale-down and increase in capacity of a memory.

DISCLOSURE OF THE INVENTION

10 An object of the present invention is to provide a semiconductor storage device capable of fully coping with scale-down and high-integration by constituting a selectable memory cell substantially of one device, its manufacturing method and operating method, and a portable electronic
15 apparatus having such a semiconductor storage device.

According to the present invention, there is provided a semiconductor storage device comprising: a first conductivity type region formed in a semiconductor layer; a second conductivity type region formed in contact with the first
20 conductivity type region in the semiconductor layer; a memory functional element disposed on the semiconductor layer across the boundary of the first and second conductivity type regions; and an electrode provided in contact with the memory functional element and on the first conductivity type region via an
25 insulation film.

There is also provided a semiconductor storage device comprising: a first conductivity type region formed in a semiconductor layer; two second conductivity type regions formed on both sides of the first conductivity type region in the semiconductor layer; two memory functional elements each disposed on the semiconductor layer across the boundaries of the first and second conductivity type regions; and electrodes provided in contact with each of the memory functional elements and on the first conductivity type region via an insulation film.

Further, there is provided a semiconductor storage device comprising: a channel region formed in a semiconductor layer; variable resistance regions provided on both sides of the channel region; two diffusion regions provided on both sides of the channel region via the variable resistance regions; a gate electrode provided on the channel region via a gate insulation film; and two memory functional elements disposed on both sides of the gate electrode each across the variable resistance regions and a part of the diffusion regions.

There is also provided a semiconductor storage device comprising: a gate electrode formed on a semiconductor layer via a gate insulation film; a channel region provided under the gate electrode; diffusion regions disposed on both sides of the channel region and having a conductivity type different from the conductivity type of the channel region; and memory functional elements for holding charges, formed on both sides of the gate

electrode so as to overlap with the diffusion regions.

Further, there is provided a semiconductor storage device comprising at least one memory cell including: a semiconductor layer disposed on a semiconductor substrate, a well region
5 provided in the semiconductor substrate, or an insulator; a single gate electrode formed on the semiconductor substrate or the semiconductor layer via a gate insulation film; a channel region disposed under the gate electrode; two diffusion regions formed on both sides of the channel region; and two memory
10 functional elements formed on both sides of the gate electrode so as to overlap with the diffusion regions.

There is also provided a semiconductor storage device comprising at least one memory cell including: a semiconductor layer disposed on a semiconductor substrate, a well region
15 provided in the semiconductor substrate, or an insulator; a gate insulation film formed on the semiconductor layer which is disposed on the semiconductor substrate, the well region provided in the semiconductor substrate, or the insulator; a single gate electrode formed on the gate insulation film; a
20 channel region disposed immediately below the gate electrode; two diffusion regions disposed on both sides of the channel region; and sidewall insulation films formed on both sides of the gate electrode so as to overlap with the diffusion regions, wherein the sidewall insulation films have the function of
25 holding charges.

Further, there is provided a semiconductor storage device comprising: a semiconductor substrate; a first conductivity type well region formed in the semiconductor substrate; a gate insulation film formed on the well region; a plurality of word lines formed on the gate insulation film; a plurality of second conductivity type diffusion regions formed on both sides of each of the word lines; charge holding films having the function of accumulating or trapping charges, formed on both sides of the plurality of word lines on the word lines, the well region, and the diffusion regions directly or via an insulation film on at least a part of the diffusion region or so as to extend from a part of the well region to a part of the diffusion region; and a plurality of bit lines connected to the diffusion regions and extending in a direction which crosses the word lines.

There is also provided a semiconductor storage device comprising: a gate electrode formed on a semiconductor layer via a gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two diffusion regions each disposed on the side opposite to the gate electrode of the memory functional elements; and a channel region disposed under the gate electrode, wherein the memory functional element includes a film having the function of holding charges, and at least a part of the film having the function of holding charges is formed so as to overlap with a part of the diffusion region.

Further, there is provided a semiconductor storage device comprising: a first conductivity type semiconductor layer; a gate insulation film formed on the first conductivity type semiconductor layer; a gate electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; and two second conductivity type diffusion regions each disposed on the side opposite to the gate electrode of the memory functional elements, wherein the memory functional element includes a film having the function of holding charges, at least a part of the film having the function of holding charges overlaps with at least a part of the diffusion region, and the first conductivity type semiconductor layer has a first conductivity type high-concentration region having a concentration higher than that of a portion in the vicinity of the surface of the first conductivity type semiconductor layer under the gate electrode, under the memory functional element and in the vicinity of the diffusion region.

There is also provided a semiconductor storage device comprising: a gate insulation film; a gate electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two diffusion regions each disposed on the side opposite to the gate electrode of the memory functional elements; and a channel region disposed under the gate

electrode, wherein when a length of the gate electrode in a channel length direction is A, a channel length between the diffusion regions is B, and a distance from an end of one of the memory functional elements to an end of the other memory functional element is C, a relation of $A < B < C$ is satisfied.

Further, there is provided a semiconductor storage device comprising: a gate insulation film; a gate electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two N-type diffusion regions each disposed on the side opposite to the gate electrode of the memory functional element; and a channel region disposed under the gate electrode, wherein magnitude of a voltage applied to one of the diffusion regions and magnitude of a voltage applied to the other diffusion region are reversed between the time of changing a storage state by injecting electrons into the memory functional element and the time of reading out the storage state of the memory functional element.

There is also provided a semiconductor storage device comprising: a gate insulation film; a gate electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two P-type diffusion regions each disposed on the side opposite to the gate electrode of the memory functional element; and a channel region disposed under the gate electrode,

wherein magnitude of a voltage applied to one of the source and drain regions and magnitude of a voltage applied to the other region are reversed between the time of changing a storage state by injecting holes into the memory functional element and the
5 time of reading out the storage state of the memory functional element.

Further, there is provided a manufacturing method of a semiconductor storage device, comprising the steps of: forming a gate insulation film and a gate electrode on a semiconductor
10 substrate; depositing an insulation film having the function of accumulating or trapping charges on the whole surface of the obtained substrate; and forming a sidewall insulation film on a sidewall of the gate electrode by selectively etching the insulation film.

15 According to another aspect, there is provided an operating method of a semiconductor storage device comprising: a single gate electrode formed on a P-type semiconductor layer disposed on a P-type semiconductor substrate, a P-type well region formed in the semiconductor substrate, or an insulator; a
20 channel region disposed under the single gate electrode; two N-type source/drain regions positioned on both sides of the channel region; and a memory functional element existing in the vicinity of the source/drain regions, wherein one of the source/drain regions is set to a reference voltage, the gate
25 electrode is set to a voltage lower than the reference voltage, the

semiconductor layer formed on the semiconductor substrate, the well region formed in the semiconductor substrate, or the insulator is set to a voltage higher than the reference voltage, and the other source/drain region is set to a voltage higher than
5 the semiconductor layer formed on the semiconductor substrate, the well region formed in the semiconductor substrate, or the insulator, thereby injecting holes into the memory functional element.

Further, there is provided an operating method of a
10 semiconductor storage device comprising: a single gate electrode formed on an N-type semiconductor layer disposed on an N-type semiconductor substrate, an N-type well region formed in the semiconductor substrate, or an insulator; a channel region under the single gate electrode; two P-type source/drain regions
15 positioned on both sides of the channel region; and a memory functional element existing in the vicinity of the source/drain regions, wherein one of the source/drain regions is set to a reference voltage, the gate electrode is set to a voltage higher than the reference voltage, the semiconductor layer disposed on
20 the semiconductor substrate, the well region formed in the semiconductor substrate, or the insulator is set to a voltage lower than the reference voltage, and the other source/drain region is set to a voltage lower than the semiconductor layer disposed on the semiconductor substrate, the well region formed
25 in the semiconductor substrate, or the insulator, thereby

injecting electrons into the memory functional element.

There is also provided a portable electronic apparatus comprising the semiconductor storage device.

5 BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a schematic sectional view and an equivalent circuit of a main part of a semiconductor storage device (Embodiment 1) of the present invention.

10 FIG. 2 is a schematic sectional view of a main part showing a modification of the semiconductor storage device (Embodiment 1) of the present invention.

FIG. 3 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 2) of the present invention.

15 FIG. 4 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 3) of the present invention.

FIG. 5 is a schematic sectional view of a main part for describing the flow of a manufacturing method of a
20 semiconductor storage device (Embodiment 4) of the present invention.

FIG. 6 is a circuit diagram for describing the function of a charge holding film of the semiconductor storage device (Embodiment 4) of the present invention.

25 FIG. 7 is a schematic sectional view of a main part

showing a semiconductor storage device (Embodiment 5) of the present invention.

FIG. 8 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 6) of the present invention.

FIG. 9 is a schematic sectional view of a main part for describing a writing operation of the semiconductor storage device (Embodiment 6) of the present invention.

FIG. 10 is a schematic sectional view of a main part for describing a reading operation of the semiconductor storage device (Embodiment 6) of the present invention.

FIG. 11 is a schematic sectional view of a main part for describing an erasing operation of the semiconductor storage device (Embodiment 6) of the present invention.

FIG. 12 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 7) of the present invention.

FIG. 13 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 8) of the present invention.

FIG. 14 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 9) of the present invention.

FIG. 15 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 10) of the

present invention.

FIG. 16 is a schematic sectional view of a main part for describing the flow of a manufacturing method of the semiconductor storage device (Embodiment 10) of the present invention.

FIG. 17 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 11) of the present invention.

FIG. 18 is a schematic sectional view of a main part for describing the flow of a manufacturing method of the semiconductor storage device (Embodiment 11) of the present invention.

FIG. 19 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 12) of the present invention.

FIG. 20 is a schematic sectional view of a main part showing a semiconductor storage device (Embodiment 13) of the present invention.

FIG. 21 and FIG. 22 are schematic sectional views of a main part for describing the flow of a manufacturing method of the semiconductor storage device (Embodiment 13) of the present invention.

FIG. 23 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 14) of the present invention.

FIG. 24 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 15) of the present invention.

FIGS. 25 and 26 are enlarged schematic sectional views of
5 the main part of FIG. 24.

FIG. 27 is a graph showing electric characteristics of the semiconductor storage device (Embodiment 15) of the present invention.

FIG. 28 is a schematic sectional view of a main part of a
10 modification of the semiconductor storage device (Embodiment 15) of the present invention.

FIG. 29 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 16) of the present invention.

15 FIG. 30 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 17) of the present invention.

FIG. 31 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 18) of the present
20 invention.

FIG. 32 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 19) of the present invention.

FIG. 33 is a schematic sectional view of a main part of a
25 semiconductor storage device (Embodiment 20) of the present

invention.

FIG. 34 is a schematic sectional view of a main part of a semiconductor storage device (Embodiment 21) of the present invention.

5 FIG. 35 is a schematic sectional view of a portable electronic apparatus in which the semiconductor storage device of the present invention is assembled.

FIG. 36 is a schematic sectional view of a main part showing a conventional semiconductor storage device.

10

BEST MODE FOR CARRYING OUT THE INVENTION

Hereinafter, description will be given of a semiconductor storage device, its manufacturing method and a portable electronic apparatus of the present invention with reference to the drawings in detail. In the following description, conductivity types may be reversed and the constituent features described in each of embodiments may be applied to other embodiments.

20 EMBODIMENT 1

A semiconductor storage device of Embodiment 1 is substantially constituted by a single three-terminal device having a variable resistor.

FIG. 1(a) is a schematic sectional view of a memory cell of a storage device formed on a glass panel of a liquid crystal TFT

display device, as an example of the semiconductor storage device of the present invention. The storage device is used for adjusting an image. FIG. 1(b) is an equivalent circuit diagram of the memory cell.

5 As shown in FIG. 1(a), the memory cell has: a P-type diffusion region 603 formed in a semiconductor layer 602 on a glass panel 601; an N-type diffusion region 604 formed in contact with the P-type diffusion region 603 in the semiconductor layer 602; a memory functional element 605
10 disposed on the semiconductor layer 602 across the boundary of the P-type diffusion region 603 and the N-type diffusion region 604; and a single electrode 607, which is in contact with the memory functional element 605, formed on the P-type diffusion region 603 via an insulation film 606 so as to be insulated from
15 the P-type diffusion region 603. Further, a refractory metal silicide film 608 is formed on the surface of the P-type diffusion region 603. A wire 609a is connected to the refractory metal silicide film 608. The refractory metal silicide film 608 is also formed on the surface of the N-type diffusion region 604. A
20 wire 609b is connected to the refractory metal silicide film 608. The wires 609a and 609b are connected to the refractory metal silicide 608 via contact plugs 612 filling contact holes opened in an interlayer insulation film 610.

As shown in FIG. 1(b), a portion in the vicinity of the
25 surface of the P-type diffusion region 603 and under the

electrode 607 has a switch function. A portion in the vicinity of the surface of the P-type diffusion region 603 and under the memory functional element 605 serves as a variable resistor A. The electrode 607 has the function of an input terminal for
5 changing over the switch. The switch and the variable resistor A are formed under the electrode 607 and the memory functional element 605 formed adjacent to the electrode 607 (formed on the sidewall of the electrode 607). That is, the switch and the variable resistor A are formed so as to be
10 adjacent to each other in a position defined by the boundary between the electrode 607 and the memory functional element 605, and are substantially integral. Therefore, the switch, the variable resistor and the electrode 607 are constituted by one device 631.

15 In the case of constituting a memory cell array by arranging a plurality of memory cells, it is sufficient to connect the electrode 607 to a word line 622 and to connect one end of the device 631 to a bit line 623.

The memory cell can be read/rewritten by applying
20 predetermined voltages to the P-type diffusion region 603, the N-type diffusion region 604, and the electrode 607 functioning as a selection word line.

For example, by setting the voltage of the P-type diffusion region 603 as a reference potential, a voltage in the positive
25 direction with respect to the reference potential is applied to the

N-type diffusion region 604. At this time, by setting the electrode 607 in a non-selection state (for example, a state where the reference voltage is applied), the portion under the electrode 607 remains in the P-type. Consequently, the PN junction between the P-type diffusion region 603 and the N-type diffusion region 604 is reverse-biased and only a PN reverse-direction current flows between the wires 609a and 609b. The current value can be almost ignored. On the other hand, when the electrode 607 is set to a selection state (for example, a voltage in the positive direction with respect to the reference voltage is applied), the portion under the electrode 607 is inverted to the N-type, so that a current according to the resistance value of the variable resistor A flows. Therefore, by detecting the current, memory information can be read out.

The resistance value of the variable resistor A can be changed, that is, rewritten according to an amount of charges accumulated in the memory functional element 605. In order to accumulate charges in the memory functional element 605, by setting the P-type diffusion region 603 to a reference voltage and applying a reverse bias voltage which is very large as compared with that used at the time of reading (for example, three times or more as large as the potential difference at the time of reading) to the N-type diffusion region 604, an interband tunnel current is used. Specifically, electrons are accumulated in the memory functional element 605 when a positive voltage

with respect to the reference voltage is applied to the electrode 607, and holes are accumulated in the memory functional element 605 when a negative voltage is applied to the electrode 607. By setting the P-type diffusion region 603 to a reference
5 voltage, applying a relatively large reverse bias (for example, about twice or three times as large as that at the time of reading) to the N-type diffusion region 604, and simultaneously applying a positive voltage to the electrode 607, charges may be accumulated in the memory functional element 605 by channel
10 hot electrons. Alternatively, charges may be accumulated in the memory functional element 605 by both of them.

In the case where the N-type diffusion region 604 and the P-type diffusion region 603 have reverse conductivity types, by reversing all of the signs of the above applied voltages, rewriting
15 operation can be performed similarly.

As described above, the memory cell of this embodiment is constituted by substantially one device, and the device has only three terminals. It is therefore possible to realize scale-down and high-integration of the semiconductor storage
20 device.

The memory functional element 605 includes, at least, a region for holding charges or a film having the function of accumulating and holding charges. Further, the memory functional element 605 preferably includes a region which
25 suppresses escape of charges or a film having the function of

suppressing escape of charges. For example, in the memory functional element 605, the faces in contact with the P-type diffusion region 603, N-type diffusion region 604 and electrode 607 are constituted by a region which suppresses escape of charges, or the like so that the region for holding charges is not in direct contact with the P-type diffusion region 603, N-type diffusion region 604 and electrode 607, thereby enabling the reliability of storage and retention time to be dramatically improved. It is very important from the viewpoint of improving reading speed that the region for holding charges, or the like in the memory functional element 605 is disposed across the boundary of the P-type diffusion region 603 and the N-type diffusion region 604.

Preferably, the electrode 607 is formed only on a sidewall of the memory functional element 605 or the top of the memory functional element 605 is not covered. With such arrangement, also in the case of achieving scale-down by disposing the contact plug 612 and the electrode 607 or the contact plug 612 and the memory functional element 605 so as to be close to each other or overlapped with each other, the electrode 607 and the wire 609b can be prevented from being short-circuited.

The refractory metal silicide film 608 can be formed of silicide of a high refractory metal such as titanium, tantalum, molybdenum or tungsten. Connection between the P-type diffusion region 603 and N-type diffusion region 604 and the

refractory metal silicide film 608 may be ohmic contact or Schottky contact.

As shown in FIG. 2, the wire 609a and the P-type diffusion region 603 may be connected to each other via an N-type diffusion region 611 which is formed in the P-type diffusion region 603 without forming the refractory metal silicide film 608.

EMBODIMENT 2

10 In a semiconductor storage device of the present invention, as shown in FIG. 3, memory functional films 805 may be formed on both sides of an electrode 807. Specifically, the semiconductor storage device may have a configuration substantially the same as that of the memory cell of
15 Embodiment 1 except that the components are provided so as to be symmetrical with respect to the electrode 607 of the memory cell shown in Embodiment 1 as a center.

With such a configuration, the degree of integration can be further improved as compared with Embodiment 1.

20 By the electrode 807, storage informations of the two memory functional elements 805 (resistance informations of the variable resistors A according to amounts of charges accumulated in the memory functional elements 805) can be independently read out as amounts of currents flowing in two
25 N-type diffusion regions 804. For example, a reference voltage

is applied to one of the two N-type diffusion regions 804 and a positive voltage is applied to the electrode 807, thereby forming an inversion layer in a P-type diffusion region 803. At this time, further, a positive voltage sufficient to deplete a part of the inversion layer (which becomes a depletion layer) is applied to the other N-type diffusion region 804. By this application, the variable resistor A on the side where the inversion layer is depleted substantially loses the function of a variable resistor due to depletion. It is therefore possible to read out only the information of the variable resistor A on the side of one of the N-type diffusion regions 804 as the amount of current flowing between the two N-type diffusion regions 804.

By such a method, the charges are independently accumulated in read out each of the two memory functional elements 805, thereby enabling one memory cell to store 2-bit (four-value) information.

Moreover, by making the amount of charges accumulated in the memory functional elements have multiple values (three or larger values), the information amount can be further increased. For example, by storing three-value information in each of the memory functional elements 805, information of nine values can be stored per one memory cell. When four values are stored in each memory functional element, 16 values (four bits) can be stored. When eight values are stored in each memory functional element, 64 values (six bits) can be stored.

EMBODIMENT 3

In a memory cell of Embodiment 3, as shown in FIG. 4, a logic LSI and a nonvolatile memory are mixedly mounted on an SOI substrate 900 to constitute an FPGA (Field Programmable Gate Array). Variable resistance regions 902 are separately formed.

Specifically, the memory cell is constituted by a channel region 901 formed by an N-type silicon layer, the variable resistance regions 902 formed on both sides of the channel region 901, N-type diffusion regions 903 provided on both sides of the channel region 901 via the variable resistance regions 902, a gate electrode 905 provided on the channel region 901 via a gate insulation film 904, and two memory functional elements 906 disposed on both sides of the gate electrode 905 and across the variable resistance region 902 and a part of the diffusion region 903.

The variable resistance region 902 is a silicon layer in which a P-type impurity is dominantly doped, that is, a P-type impurity is doped at concentration higher than that of an N-type impurity. Since the variable resistance region 902 is sandwiched between the channel region 901 and the diffusion region 903, it is depleted. The depletion may be either complete depletion or partial depletion.

The memory functional element 906 is formed by an ONO

film (a silicon oxide film 9061, a silicon nitride film 9062 and a silicon oxide film 9063) and uses, as a film having the function of accumulating and holding charges, an L-shaped silicon nitride film.

5 The channel region 901 and the diffusion region 903 are not necessarily of the same conductivity type. An important thing is to dope the variable resistance region 902 with an impurity of a conductivity type opposite to that of the diffusion region more than an impurity of the same conductivity type.

10 In the memory cell, the resistance of the variable resistance region 902 can be changed by charges accumulated in the memory functional element 906. Concretely, according to the charges accumulated in the memory functional element 906, the property of the P type is enhanced or the property of
15 the N type is enhanced in the variable resistance region 902. By applying a positive voltage to the gate electrode 905, due to a roundabout electric field generated from the sidewall of the gate electrode 905, a barrier between the variable resistance region 902 and the diffusion 903 is lowered, and current flows between
20 the diffusion region 903 and the channel region 901. The current changes according to the resistance value of the variable resistance region 902, thereby producing a memory effect.

 For example, by setting the voltage of one of the diffusion regions 903 as a reference potential, a voltage in the positive
25 direction is applied to the gate electrode 905. At this time, the

voltage applied to the other diffusion region 903 is applied in the positive direction with respect to the reference potential. The voltage applied to the other diffusion region 903 is set to be high until the electric field from the other diffusion region 903 becomes dominant more than the roundabout electric field from the sidewall of the gate electrode 905 and the variable resistance region 902 is depleted on the side of the other diffusion region 903. Under such voltage application conditions, the variable resistance region 902 on the other diffusion region 903 side to which the positive voltage is applied changes to a depletion layer on which the influence of the electric field of the diffusion region is dominant, and the variable resistance function is lost. Therefore, only the information of the variable resistance region 902 on the side of one of the diffusion regions 903 (to which the reference voltage is applied) is used as storage information, that is, the storage information in the variable resistance region 902 can be read out independently as an amount of current flowing between the two regions 903. When the N type is dominant in the variable resistance region 902, that is, when the diffusion region is of the P type, by reversing all of the signs of the applied voltages, a reading operation can be similarly read.

In this embodiment, the region in which current flows under the gate electrode is defined as a channel region.

EMBODIMENT 4

A memory cell as a component of a semiconductor storage device of Embodiment 4 is a nonvolatile memory cell capable of storing two bits, in which, as shown in FIG. 5(c), a gate electrode 3 having a gate length which is almost the same as that in a normal transistor is formed on a semiconductor substrate 1 via a gate insulation film 2 and a charge holding film 4 serving as a memory functional element having a sidewall spacer (sidewall insulation film) shape is formed on the sidewalls of the gate insulation film 2 and the gate electrode 3. The surface of the semiconductor substrate under the gate electrode is a channel region 6. On both sides of the channel region 6, source/drain regions, which are impurity diffused regions of the conductivity type opposite to the conductivity type of the channel region, that is, the conductivity type of the surface of the semiconductor substrate in this embodiment, are formed. The source/drain region is constituted by a high-concentration impurity diffusion region 7 and a low-concentration impurity diffusion region 8. The low-concentration impurity diffusion region 8 is disposed in the vicinity of the channel region 6.

The memory functional element is formed on the source/drain regions. Preferably, at least a part of the source/drain region positioned under the memory functional element is the low-concentration impurity diffusion region 8.

Preferably, the low-concentration impurity diffusion region 8 is set so as to be depleted or its conductivity type is reversed in accordance with the amount of charges accumulated in the memory functional element.

- 5 In the memory cell, the memory functional element in the memory transistor is formed independently of the gate insulation film. In other words, a memory function of the memory functional element and a transistor operation function of the gate insulation film are separated from each other.
- 10 Therefore, the charge holding film 4 as a memory functional element can be formed of a material suitable for the memory function.

- The high-concentration impurity diffusion region 7 is offset from the gate electrode 3, thereby enabling easiness of
- 15 inversion of the low-concentration impurity diffusion region 8 under the charge holding film 4 which becomes a memory functional element when voltage is applied to the gate electrode 3 to be largely changed by an amount of charges accumulated in the charge holding film 4 as a memory functional element, so
- 20 that the memory effect can be increased.

- In the memory cell, by injection of electrons into the memory functional element (which is defined as writing in the case of an N-channel type device), the low-concentration impurity diffusion region 8 is depleted or inverted.
- 25 Consequently, a structure equivalent to that of a MOSFET in

which the source/drain regions are offset from the gate electrode is seemingly obtained, and an amount of current between the source/drain regions decreases extremely. On the other hand, by injection of holes into the memory functional
5 element (which is defined as erasure in the case of the N-channel type device), since the low-concentration impurity diffusion region 8 is originally formed, as compared with an initial state (a state where electrons and holes are not accumulated in the memory functional element or a heat
10 balance state), the current between the source/drain regions does not largely change.

Therefore, in the memory cell, excessive erasure which is a big issue in a nonvolatile memory (such as an EERPOM or FLASH) does not occur, and there is a big advantage such that it
15 is unnecessary to provide a peripheral circuit as a countermeasure against excessive erasure.

The memory cell can be formed by a process similar to that of a normal logic transistor.

First, as shown in FIG. 5(a), on the semiconductor
20 substrate 1, the gate insulation film 2 which is a silicon oxynitride film having a thickness of about 1 to 6 nm and a gate electrode material film made of polysilicon, a laminated film of polysilicon and a refractory metal silicide, or a laminated film of polysilicon and a metal, having a thickness of about 50 to 400
25 nm are formed and patterned in a desired shape, thereby

forming the gate electrode 3.

As the materials of the gate insulation film and the gate electrode, it is sufficient to use materials which are used in a logic process according to a scaling rule of the age as described
5 above. The present invention is not limited to the above materials.

Subsequently, completely separately from the gate insulation film 2, as shown in FIG. 5(b), a silicon nitride film having a thickness of about 20 to 100 nm is formed on the
10 whole surface of the obtained semiconductor substrate 1 and etched back by anisotropic etching, thereby forming the charge holding film 4 optimum for storage as a sidewall spacer on the sidewalls of the gate electrode. More preferably, in place of the silicon nitride film, a silicon oxide film having a thickness of
15 about 2 to 20 nm and a silicon nitride film having a thickness of about 2 to 100 nm are sequentially deposited and etched back by anisotropic etching, thereby forming the charge holding film 4 optimum for storage in a sidewall spacer shape on the sidewall of the gate electrode.

20 After that, as shown in FIG. 5(c), by implanting ions while using the gate electrode 3 and the charge holding film 4 as a mask, source/drain regions (the high-concentration impurity diffusion region 7 and the low-concentration impurity diffusion region 8) are formed. The low-concentration impurity diffusion
25 region 8 may be formed by ion implantation before the process

of forming the memory functional element 4. Preferably, the low-concentration impurity diffusion region 8 has the conductivity type opposite to that of an impurity for forming a channel and has an impurity concentration in the range from $1 \times 10^{16}/\text{cm}^3$ to $1 \times 10^{18}/\text{cm}^3$, more preferably, from $1 \times 10^{16}/\text{cm}^3$ to $5 \times 10^{17}/\text{cm}^3$.

By disposing the gate insulation film 2 and the charge holding film 4 as a memory functional element so as to be separated from each other, a memory cell transistor having a short channel effect of the same degree can be formed by a manufacturing process which is the same as that of a normal transistor. Therefore, a logic circuit part can be constituted by a part of transistors formed on the same chip by the above-described procedure and a memory part (for example, a nonvolatile memory) can be constituted by the other transistors. In this case, when the logic circuit part is operated in a voltage range in which charges are not injected into the memory functional element, a change in the characteristics of a transistor can be prevented. In the memory part, by applying a voltage sufficient to inject charges to the memory functional element, rewriting can be performed. That is, both a logic circuit and a nonvolatile memory can be formed by an extremely simple process.

Except for a variable resistor-type 2-device/cell-type nonvolatile memory (MRAM) described as the prior art, there is

an EEPROM as a typical nonvolatile memory.

In an EEPROM, as shown in FIG. 6(a), a memory cell is constituted by two transistors of a selection transistor (STr) connected to a control gate line (CGL) and a memory transistor (MTr) connected to a word line (WL) and having a charge holding film (MF). In contrast, as shown in FIG. 6(b), the memory cell of the above structure having the functions of a selection transistor and a memory transistor can be constituted by one gate electrode (that is, one word line WL) by an effect of two variable resistors of the two memory functional elements. Specifically, it can be regarded that, in a portion between the source/drain regions and at both ends of the channel region, the variable resistors disposed under the memory functional elements on both sides of the gate electrode are connected to the channel region. In accordance with the amount of charges held in the memory functional element, by applying a voltage to the gate electrode, the memory functional element changes resistance of the diffusion region disposed under the memory functional element and changes the amount of current from one of the diffusion regions to the other diffusion region. One memory cell is constituted by only four terminals: one terminal connected to the semiconductor substrate; two terminals connected to two diffusion regions; and one terminal connected to the gate electrode. Further, the semiconductor storage device is either read, written or erased by application of only

four kinds of voltages: a voltage applied to the semiconductor substrate; a voltage applied to the gate electrode; and voltages respectively applied to the two diffusion regions.

With the configuration, in order to select one memory cell,
5 it is sufficient to select one word line connected to the gate electrode or having the function of the gate electrode itself. It is unnecessary to form two transistors, so that further high-integration can be realized. In other words, in contrast to FIG. 6(a) in which the number of gate electrodes, that is, control
10 gate lines and word lines increases and the cell area is not reduced, in the present invention, one cell can be operated by one word line. For example, when the word lines are formed with the minimum processing dimensions (the minimum wiring width and the minimum wiring interval) and laid in the memory
15 cell region, in the case where one word line is sufficient to constitute one memory cell, an effect such that the cell occupation area can be reduced to $1/n$ as compared with the case where n pieces of word lines are necessary. In FIG. 6(a) as an example, two word lines are necessary to constitute a
20 memory cell and one memory cell stores 1-bit (binary) information. In contrast, in FIG. 6(b), one memory cell is constituted by one word line, and two-bit (since there are the charge holding films on both sides of one gate electrode (word line)) and 4-value information is stored per one memory cell.
25 That is, there is an effect such that the occupation area of the

memory cell can be reduced to 1/2 (two word lines to one word line) and the occupation area can be reduced to 1/4 per 1-bit.

EMBODIMENT 5

5 In place of the memory functional element (charge holding film 4) formed by the silicon nitride film in Embodiment 4, as shown in FIGS. 7(a) to 7(e), various kinds of memory functional elements can be employed.

 For example, as shown in FIG. 7(a), the memory
10 functional element is formed by an ONO film including a silicon oxide film 41 having a thickness of about 1 to 20 nm, a silicon nitride film 42 having a thickness of about 2 to 100 nm and a silicon oxide film 43 having a thickness of about 5 to 100 nm.

 The memory functional element may be formed by an ON
15 film including, as shown in FIG. 7(b), a silicon oxide film 44 having a thickness about 1 to 20 nm and a silicon nitride film 45 having a thickness of about 2 to 100 nm.

 Further, the memory functional element may be formed by an ON film including, as shown in FIG. 7(c), a silicon oxide
20 film 46 having a thickness of about 1 to 20 nm and a silicon nitride film 47 having a thickness of about 5 to 100 nm, and the silicon nitride film 47 may be in contact with the semiconductor substrate. The silicon oxide film 46 and the silicon nitride film 47 may be interchanged with each other.

25 The memory functional element may be formed by, as

shown in FIG. 7(d), a floating gate conductive film 49 made of polysilicon having a thickness of about 10 to 100 nm via an insulation film 48 which is a silicon oxide film having a thickness of about 1 to 20 nm. In the case of using a
5 conductive film, although not shown, it is preferable to cover the surface of the memory film with an insulation film.

Further, the memory functional element may be formed by, as shown in FIG. 7(e), an insulation film 481 made of an insulation material such as a silicon oxide film, a silicon nitride
10 film or a high dielectric constant film having a thickness of about 5 to 100 nm. In the insulation film 481, one or more floating gate conductive films 491 in a dot shape (having a diameter of about 1 to 8 nm) made of a conductor such as silicon are dispersed.

15 When the memory functional element having any of the above-described configurations, particularly, the memory functional element made by the silicon nitride film is used, it is very preferable since the memory functional element can be easily introduced to a mass production factory. However, the
20 present invention is not limited to the film configurations and materials. The semiconductor storage device of the present invention can be basically obtained by a laminated structure of a film having the charge holding function or a material having the charge holding function (for example, a silicon nitride film,
25 silicate glass containing impurity such as phosphorus or boron,

silicon carbide, alumina, hafnium oxide, zirconium oxide, tantalum oxide, zinc oxide, ferroelectric film, or the like) and the insulation film, or an insulator containing a material having the charge holding function.

5

EMBODIMENT 6

In a memory cell as a component of a semiconductor storage device of Embodiment 6, as shown in FIG. 8, an N-type first diffusion region 12 and an N-type first diffusion region 13 are formed on the surface of a P-type well 11 formed in a semiconductor substrate, and a channel region is formed in the uppermost layer part of the well 11 between the diffusion regions 12 and 13. On the channel region, a gate electrode 17 is formed via a gate insulation film 14 including a silicon oxide film or a silicon oxynitride film having a thickness of about 1 to 6 nm. The gate electrode 17 does not overlap with the diffusion regions 12 and 13, and there are small channel regions (71 in FIG. 8) which are not covered with the gate electrode 17. At both ends of the gate electrode 17, charge holding films 15 and 16 as memory functional elements made by a silicon nitride film having a thickness of about 10 to 100 nm (the width in the horizontal direction of the semiconductor substrate) are provided for storing information by accumulating or trapping charges. The channel regions 71 which are not covered with the gate electrode 17 are covered with the charge holding films

10
15
20
25

15 and 16. It is important herein that the diffusion regions 12 and 13 and the charge holding films as the memory functional elements overlap each other at least partially.

Next, description will be given of the operation principle of the semiconductor storage device. The operation principle can be applied not only to the semiconductor storage device of this embodiment but also to semiconductor storage devices of other embodiments of the present invention.

The principle of a writing operation of the semiconductor storage device will be described with reference to FIGS. 9(a) and 9(b).

Writing denotes herein injection of electrons into a charge holding film.

In order to inject electrons into the charge holding film 16 as the memory functional element (to write), as shown in FIG. 9(a), the first diffusion region 12 is used as a source electrode, and the second diffusion region 13 is used as a drain electrode. For example, it is sufficient to apply 0V to the first diffusion region 12 and the well 11, +6V to the second diffusion region 13, and +2V to the gate electrode 17. Under such voltage conditions, an inversion layer 410 extends from the first diffusion region 12 (source electrode) but does not reach the second diffusion region 13 (drain electrode), and a pinch-off point occurs. Electrons are accelerated from the pinch-off point to the second diffusion region 13 (drain electrode) by a

high electric field and become so-called hot electrons. The hot electrons are injected into the charge holding film 16, thereby performing writing.

Since hot electrons are not generated in the vicinity of the charge holding film 15, writing is not performed. Also in the case where the diffusion regions 12 and 13 and the charge holding film as a memory functional element do not overlap each other at all, generation of hot electrons is suppressed and it becomes difficult to perform writing in a practical application voltage range (the voltage difference of 20V or less).

In such a manner, by injecting electrons into the charge holding film 16 as a memory functional element, writing can be performed.

On the other hand, in order to inject electrons into the charge holding film 15 as a memory functional element (to perform writing), as shown in FIG. 9(b), the second diffusion region 13 is used as a source electrode, and the first diffusion region 12 is used as a drain electrode. For example, it is sufficient to apply 0V to the second diffusion region 13 and the well 11, +6V to the first diffusion region 12, and +2V to the gate electrode 17. As described above, by interchanging the source and drain regions of the case of injecting electrons into the charge holding film 16, electrons are injected into the charge holding film 15 to perform writing.

The principle of a reading operation of the semiconductor

storage device will now be described with reference to FIG. 10.

In the case of reading information stored in the charge holding film 15 as a memory functional element, the first diffusion region 12 is used as a source electrode, the second diffusion region 13 is used as a drain electrode, and the transistor is operated in a saturation region. For example, it is sufficient to apply 0V to the first diffusion region 12 and the well 11, +2V to the second diffusion region 13, and +1V to the gate electrode 17. In the case where no electrons are accumulated in the charge holding film 15, drain current easily flows. On the other hand, in the case where electrons are accumulated in the region 15, the inversion layer 410 is not easily formed in the vicinity of the charge holding film 15 and drain current does not easily flow. Therefore, by detecting the drain current, information stored in the charge holding film 15 can be read out. The presence/absence of charge accumulation in the charge holding film 16 does not exert an influence on the drain current since a pinch-off occurs in the vicinity of the drain. Consequently, by operating the transistor in the saturation region (by bringing out a pinch-off in the vicinity of the drain) at the time of reading, irrespective of the storage state of the charge holding film 16, storage information of the charge holding film 15 can be detected with high sensitivity. This is a big factor which enables 2-bit operation.

As obvious from the above description, the roles of the

source electrode and the drain electrode are interchanged between the case of injecting electrons into the charge holding film 15 as a memory functional element (writing) and the case of reading out storage information of the charge holding film 15.

5 In other words, the relation between the magnitude of the voltage applied to one of the first and second diffusion regions (source and drain regions) and that of the voltage applied to the other diffusion region is changed between the case of changing the storage state by injecting electrons into the memory
10 functional element and the case of reading out the storage state of the memory functional element. Consequently, an effect of improving resistance to read disturbance can be also obtained as follows.

For example, in the case where the second diffusion
15 region 13 is set as a source electrode and the first diffusion region 12 is set as a drain electrode in order to read out storage information of the charge holding film 15 (that is, the roles of the source and drain electrodes are unchanged between the writing operation and the reading operation), a very small
20 amount of electrons are injected to the charge holding film 15 for each reading operation. This is because electrons have relatively high energy on the drain electrode side even by a small drain voltage in the reading operation. Consequently, in the case of performing a number of reading operations without
25 performing the rewriting operation, there is a possibility in that

storage information of the charge holding film 15 is rewritten.

However, when the roles of the source and drain electrodes are interchanged between the writing operation and the reading operation, the charge holding film 15 becomes on
5 the source electrode side in the reading operation. Consequently, there is no possibility of such erroneous writing. Therefore, resistance to read disturbance increases.

In the case of reading out information stored in the charge holding film 16, the second diffusion region 13 is set as a
10 source electrode, the first diffusion region 12 is set as a drain electrode, and the transistor is operated in a saturation area. For example, it is sufficient to apply 0V to the second diffusion region 13 and the well 11, +2V to the first diffusion region 12, and +1V to the gate electrode 17. By interchanging the source
15 and drain regions from those in the case of reading out information stored in the charge holding film 15, the information stored in the charge holding film 16 can be read out.

In the case where the channel region 71 which is not
20 covered with the gate electrode 17 is left, in the channel region which is not covered with the gate electrode 17, an inversion layer is dissipated or formed according to the presence/absence of excessive electrons in the charge holding films 15 and 16. As a result, a large hysteresis (change in threshold) is obtained.
25 However, when the channel region 71 which is not covered with

the gate electrode 17 is too wide, the drain current largely decreases and reading speed largely decreases. Particularly, in the case where the charge holding films 15 and 16 and the first and second diffusion regions do not overlap with each other at all, reading speed decreases to the extent that the device does not function as a practical storage device. Therefore, it is preferable to determine the width of the channel region 71 which is not covered with the gate electrode 17 so as to obtain a sufficient hysteresis and reading speed.

Even in the case where the diffusion regions 12 and 13 reach the ends of the gate electrode 17, that is, even when the diffusion regions 12 and 13 and the gate electrode 17 overlap each other, the threshold of the transistor is hardly changed by the writing operation. However, parasitic resistance largely changes at ends of the source and drain and the drain current largely decreases (by one digit or more) (in this embodiment, since the concentration of the diffusion regions 12 and 13 is high and the concentration in the vicinity of a channel is not decreased like in Embodiment 4, the conductivity type is not inverted and the threshold hardly changes). Therefore, reading can be performed by detecting a drain current and the function of a memory can be obtained. In the case where a higher memory hysteresis effect is necessary, it is preferred that the diffusion regions 12 and 13 and the gate electrode 17 do not overlap each other.

Moreover, in the case where the diffusion regions 12 and 13 are offset from the ends of the gate electrode 17 (that is, they do not overlap each other), as compared with a normal logic transistor, a short channel effect can be prevented more strongly and the gate length can be further shortened. Since the structure is adapted to suppress the short channel effect, as compared with a logic transistor, a thicker gate insulation film can be employed and reliability can be improved.

At any rate, by making the charge holding films 15 and 16 and the first and second diffusion regions overlap each other, the resistance of the channel region 71 which is not covered with the gate electrode 17 largely changes in accordance with the presence/absence of charges accumulated in the charge holding films 15 and 16. Thus, the resistance of the two variable resistors in FIG. 6(b) in Embodiment 4 can be independently changed.

The principle of an erasing operation of the semiconductor storage device will now be described.

As a first method, in the case of erasing information stored in the charge holding film 15 as a memory functional element, it is sufficient to apply a positive voltage (for example, +6V) to the first diffusion region 12, 0V to the well 11, a reverse bias to the PN junction between the first diffusion region 12 and the well 11 and, further, a negative voltage (for example, -5V) to the gate electrode 17. In the PN junction in the vicinity of the

gate insulation film, due to the influence of the gate electrode to which the negative voltage is applied, particularly, the gradient of the potential becomes steep. Consequently, hot holes are generated on the well region 11 side of the PN junction by an interband tunnel. The hot holes are attracted by the gate electrode 17 having the negative potential and, as a result, holes are injected to the charge holding film 15. In such a manner, information of the charge holding film 15 is erased. At this time, it is sufficient to apply 0V to the second diffusion region 13.

In the case of erasing information stored in the charge holding film 16, it is sufficient to interchange the potential of the first diffusion region and the potential of the second diffusion region with each other.

As a second method, in the case of erasing information stored in the charge holding film 15 as a memory functional element as shown in FIG. 11, it is sufficient to apply a positive voltage (for example, +5V) to the first diffusion region 12, 0V to the second diffusion region 13, a negative voltage (for example, -4V) to the gate electrode 17, and a positive voltage (for example, 0.8V) to the well 11. A forward voltage is applied between the well 11 and the second diffusion region 13 and electrons are injected into the well 11. The injected electrons are diffused to the PN junction of the well 11 and the first diffusion region 12 and are accelerated by a strong electric field, thereby becoming

hot electrons. The hot electrons make electron-hole pairs generated in the PN junction. The hot holes generated in the PN junction are attracted by the gate electrode 17 having a negative potential and, as a result, holes are injected into the
5 charge holding film 15.

According to the second method, even in the case where only a voltage which is insufficient to generate hot holes by the interband tunnel is applied in the PN junction between the well 11 and the first diffusion region 12, by the electrons injected
10 from the second diffusion region 13, hot holes can be generated. Therefore, the voltage at the time of the erasing operation can be decreased.

In the case of erasing information stored in the charge holding film 15, in the first erasing method, +6V has to be
15 applied to the first diffusion region 12. In the second erasing method, +5V is sufficient. As described above, according to the second method, the voltage at the time of erasure can be reduced. Thus, power consumption can be reduced and deterioration in the semiconductor storage device by hot carriers
20 can be suppressed.

By the operating methods, 2-bit (four-value) writing and erasing can be performed selectively per one transistor. Consequently, the occupation area per one bit can be reduced and the manufacturing cost of the semiconductor storage device
25 can be decreased. In the multi-valued technology used in a

flash memory or the like, extremely precise threshold control is required. In the case of applying the operating method to the semiconductor storage device of the present invention, it is unnecessary to perform such threshold control.

5 In the operating methods, by interchanging the source electrode and the drain electrode, writing and erasing of two bits per one transistor is performed. It is also possible to fix the source electrode and the drain electrode and make the device operate as a 1-bit memory. In this case, one of the source and
10 drain regions can be set to a common fixed voltage and the number of bit lines connected to the source and drain regions can be reduced to the half.

Although the reading, writing and erasing operations have been described with respect to the case of an N-channel device,
15 in the case of a P-channel device, by reversing the signs of all of application voltages, similar operations can be performed.

EMBODIMENT 7

A semiconductor storage device of Embodiment 7 has, as
20 shown in FIG. 12, substantially the same configuration as that of the semiconductor storage device in Embodiment 6 except that the semiconductor substrate is replaced with an SOI (Silicon on Insulator) substrate.

In the semiconductor storage device, a buried oxide film
25 83 is formed on a semiconductor substrate 81. Further, an SOI

layer is formed on the buried oxide film 83. In the SOI layer, the diffusion regions 12 and 13 are formed and the region other than the diffusion regions 12 and 13 is a body region 82.

The semiconductor storage device also produces effects similar to those of the semiconductor storage device of Embodiment 6. Further, the junction capacitance between the diffusion regions 12 and 13 and the body region 82 can be considerably reduced, so that higher processing speed of the device and lower power consumption can be realized.

EMBODIMENT 8

A semiconductor storage device of Embodiment 8 has, as shown in FIG. 13, a configuration substantially the same as that of the semiconductor storage device of Embodiment 6 except that the gate insulation film 14 extends between the charge holding films 15, 16 and the well 11 and the diffusion regions 12, 13.

Specifically, the charge holding film is in contact with, at least in the vicinity of the gate electrode, the diffusion region and/or the well region or the body region (in the case where the SOI substrate is used) via the insulation film.

The semiconductor storage device also produces effects similar to those of the semiconductor storage device of Embodiment 6. Further, by the gate insulation film 14 between the charge holding films 15, 16 and the well 11 and the

diffusion regions 12, 13, leakage of the held charges is suppressed and the retention characteristic can be improved. In addition, the whole surface of the channel region is covered with the gate insulation film 14. Consequently, by suppressing interface scattering of carriers in inversion layer, drain current is increased and, further, reading speed can be improved.

The insulation film under the charge holding film may be designed and formed separately from the gate insulation film. The gate electrode may be so designed that priority is given on suppression of a short channel effect, and the insulation film under the charge holding film may be formed thicker or thinner than the gate insulation film. The charge holding film is not limited to a silicon nitride film but may be a film having the above-described configuration and made of the material.

EMBODIMENT 9

A semiconductor storage device of Embodiment 9 is, as shown in FIG. 14, substantially the same as that of Embodiment 8 except that a charge holding film 19 which is a silicon nitride film serves as an insulation film on the gate sidewall of the gate electrode 17.

In the semiconductor storage device, a portion in which charges are actually accumulated or trapped and storage is maintained is regions 20 and 21 in the charge holding films 19.

The semiconductor storage device also produces effects

similar to those of the semiconductor storage device of Embodiment 8. Further, since the sidewall of the gate electrode 17 is covered with the charge holding film 19 as the gate sidewall insulation film, when ions are implanted to form the diffusion regions 12 and 13 while using the charge holding film 19 as a mask, it is easy to control the positions of the end portions of the diffusion regions 12 and 13. For example, it is easy to slightly leave the channel region which is not covered with the gate electrode 17, and to cover the channel region which is not covered with the gate electrode 17 with the charge holding film 19. Therefore, the semiconductor storage device having a large hysteresis (change in threshold) can be easily produced.

The insulation film under the charge holding film 19 may be designed separately from the gate insulation film. It is also possible to design and form the gate electrode while giving priority on suppression of a short channel effect and to form the insulation film under the charge holding film so as to be thicker or thinner than the gate insulation film.

EMBODIMENT 10

A semiconductor storage device of Embodiment 10 is substantially the same as the semiconductor storage device of Embodiment 9 except that, as shown in FIG. 15, a charge holding film 22 is formed in an L shape on the gate insulation

film 14 and is covered with a gate sidewall insulation film 25 which is a silicon oxide film.

In the semiconductor storage device, portions in which charges are actually accumulated or trapped and storage is held
5 are regions 23 and 24 in the charge holding film 22.

The semiconductor storage device of this embodiment produces effects similar to those of the semiconductor storage device of Embodiment 9. The charge holding film 22 is sandwiched between the gate insulation film 14 and a gate
10 sidewall insulation film 25, thereby forming an ONO film structure. The structure increases efficiency of injecting electrons/holes, so that operation speed can be increased.

A manufacturing method of the semiconductor storage device will be described with reference to FIG. 16. Formation of
15 a device isolation region and the like will be omitted.

First, as shown in FIG. 16(a), on the P-type well 11, the gate insulation film 14 which is made by a silicon oxide film or a silicon nitroxide film having a thickness of about 1 to 6 nm, or a high-dielectric-constant film having a thickness of about 1 to
20 100 nm is formed. Further, the gate electrode 17 is patterned.

As shown in FIG. 16(b), on the whole surface of the semiconductor substrate obtained, a silicon nitride film 53 having a thickness of about 5 to 20 nm and a silicon oxide film 54 having a thickness of about 20 to 100 nm are deposited in
25 this order by CVD.

In a patterning process (etching process) in which the gate insulation film exposed at the time of performing the process of patterning the gate electrode 17 of FIG. 16(a) is damaged, the exposed gate insulation film except for the gate insulation film under the gate electrode is removed and, after that, a silicon oxide film or a silicon oxynitride film formed by oxidation or CVD or a high dielectric constant film formed by CVD or the like may be formed under the silicon nitride film 53 in advance.

Subsequently, as shown in FIG. 16(c), the silicon oxide film 54 and the silicon nitride film 53 are selectively etched back toward the gate electrode 17 and the semiconductor substrate. By the etching, the charge holding film 22 made by the silicon nitride film 53 having an L shape and the gate sidewall insulation film 25 covering the charge holding film 22 are formed. After that, the diffusion regions 12 and 13 are formed.

As described above, the semiconductor storage device of this embodiment can be manufactured by simple processes of only the insulation film forming process and the etch back process.

EMBODIMENT 11

A semiconductor storage device of Embodiment 11 is substantially the same as that of Embodiment 9 except that, as

shown in FIG. 17, the gate electrode 17 has recesses at its both lower ends, at least a part of the charge holding film 19 which is made by a silicon nitride film is buried in each of the recesses, and the charge holding film 19 and the gate electrode 17 are
5 partitioned by the silicon oxide film 81.

The semiconductor storage device also produces effects similar to those of the semiconductor storage device of Embodiment 9.

Further, at the time of an erasing operation, hot holes
10 generated around regions indicated by arrows 71 in FIG. 17 are attracted by the gate electrode having the negative potential. As shown by arrows 72, the hot holes are efficiently injected into the charge holding film 19. Consequently, the erasing operation can be performed at higher speed.

15 In the semiconductor storage device, a portion in which charges are actually accumulated or trapped and storage is held is mainly a portion (around the tip of each of the arrows 72) in the charge holding film 19, which is buried in the recess of the gate electrode.

20 A manufacturing method of the semiconductor storage device will be described with reference to FIG. 18. Formation of a device isolation region and the like will be omitted.

First, as shown in FIG. 18(a), the gate insulation film 14 and the gate electrode 17 are formed on the P-type well 11 and,
25 after that, the whole surface is oxidized, thereby forming a

silicon oxide film 51. The thickness of the silicon oxide film at this time can be set to, for example, 5 nm to 20 nm. In this case, a bird's beak is formed in a wedge shape in each of both lower ends of the gate electrode 17.

5 Next, as shown in FIG. 18(b), after the silicon oxide film 51 is removed by isotropic etching, the whole surface is re-oxidized to thereby form a silicon oxide film 52. The silicon oxide film 52 is an insulation film which partitions the charge holding film from the gate electrode, the channel region (well
10 region) and the diffusion regions (source/drain regions). Although the thickness of the silicon oxide film at this time is not particularly limited, it is preferably 4 nm to 20 nm from the viewpoint of realizing both the rewriting characteristic and the retention characteristic of the semiconductor storage device.

15 Next, as shown in FIG. 18(c), a silicon nitride film is deposited on the whole surface (to a thickness of, for example, 20 nm to 200 nm) and, after that, etched back, thereby forming the charge holding film 19 serving as a gate sidewall insulation film. After that, by performing impurity ion implantation and
20 heat treatment while using the charge holding film 19 as a mask, the diffusion regions 12 and 13 are formed. In such a manner, the semiconductor storage device is completed (upper wirings and the like are omitted).

25 EMBODIMENT 12

A semiconductor storage device of Embodiment 12 is substantially the same as the semiconductor storage device of Embodiment 11 except that, as shown in FIG. 19, the charge holding film 82 which is a silicon nitride film at least a part of which is buried in the recess of the gate electrode 17 is sandwiched between the silicon oxide films 81 and 83.

The semiconductor storage device also produces effects similar to those of the semiconductor storage device of Embodiment 11. The charge holding film 82 has an ONO film structure that it is sandwiched between the silicon oxide films 81 and 83, so that the efficiency of injecting electrons and holes is increased and the operation speed can be increased.

The semiconductor storage device can be formed in such a manner that, for example, in the manufacturing method of the semiconductor storage device of Embodiment 11, after that state of FIG. 18(b), a silicon nitride film (for example, 5 nm to 15 nm) and a silicon oxide film (for example, 20 nm to 200 nm) are deposited in this order, and the silicon oxide film and the silicon nitride film are etched back.

EMBODIMENT 13

In a semiconductor storage device of Embodiment 13, as shown in FIG. 20, on the P-type well 11 formed in the semiconductor substrate having device isolation regions 31, the gate electrode 17 is formed via the gate insulation film 14 which

is a silicon oxide film having a thickness of about 1 to 6 nm.

On the sidewall of the gate electrode 17, a charge holding film 32 which is a silicon nitride film having a thickness of about 20 to 100 nm is formed. The form of the charge holding film is not

5 limited to this embodiment but is various as described above.

On the sidewalls of the charge holding film 32, further, sidewalls 26 and 27 made of polysilicon are formed. Into the surface of the wells 11 immediately under the sidewalls 26 and 27, an N-type impurity is soaked, thereby forming N-type

10 regions 28 and 29, respectively. The sidewall 26 and the N-type region 28 are integrated to constitute a first diffusion region. Similarly, the sidewall 27 and the N-type region 29 constitute a second diffusion region. The surface of the device isolation region 31 is covered with a silicon nitride film 30.

15 Portions in which charges are actually accumulated or trapped to hold storage in the semiconductor storage device are the regions 23 and 24 in the charge holding films 32.

In the semiconductor storage device, the diffusion region has a risen structure made of polysilicon, so that it is very easy
20 to realize a shallow junction. Therefore, a short channel effect can be suppressed extremely effectively and scale-down of the device can be achieved.

Although not shown, a margin at the time of providing a contact in the diffusion region can be made smaller as compared
25 with the case where the risen structure is not provided.

Therefore, the junction area between the diffusion region and the well can be made considerably small and the junction capacitance can be reduced. Thus, high-speed operation can be achieved and power consumption can be suppressed.

5 Further, when the semiconductor storage device is operated at a voltage which is low to the degree that writing is not performed, a logic circuit can be constituted as a normal field effect transistor realizing lower power consumption, higher speed operation, and scale-down. That is, a device having a
10 common structure can be used as a device as a component of a logic circuit and a device as a component of a memory circuit. Therefore, the process of forming both a logic circuit and a memory circuit can be much simplified.

 A forming method of the semiconductor storage device will
15 be described with reference to FIG. 21 and FIG. 22.

 First, as shown in FIG. 21(a), the P-type well 11 is formed in the semiconductor substrate and, subsequently, the device isolation regions 31 are formed by using, for example, STI method. On the obtained well 11, the gate insulation film 14
20 which is a silicon oxide film having a thickness of about 1 to 6 nm is formed. After that, a polysilicon film which will become a gate electrode and an insulation film 55 are deposited in this order. After that, by using a resist pattern in a predetermined shape as a mask, the polysilicon film and the insulation film 55
25 are patterned. Alternately, it is also possible to pattern only

the insulation film 55 by using the resist pattern as a mask, remove the resist pattern and, after that, etch the polysilicon film by using the insulation film 55 as a mask. By the above operation, the gate electrode 17 having a cap formed by the
5 insulation film 55 is formed.

As shown in FIG. 21(b), a silicon nitride film 58 is deposited on the whole surface of the obtained semiconductor substrate, and the device isolation regions 31 are masked with a resist pattern 56.

10 Subsequently, as shown in FIG. 21(c), by using the resist pattern 56 as a mask, the silicon nitride film 58 is etched back, thereby forming the charge holding film 32 by the silicon nitride film on the sidewalls of the gate electrode 17 and the insulation film 55 and leaving the silicon nitride film 30 on the device
15 isolation regions 31. The silicon nitride film 30 protects the semiconductor substrate and the device isolation regions 31 in an etching process to be performed later. Particularly, it is important in an etch back process for forming the sidewalls 26 and 27 by polysilicon, an etching process for removing the
20 insulation film 55, and an etching process for forming a contact hole in the diffusion region, which will be described later.

As shown in FIG. 22(d), a polysilicon film 57 is deposited on the whole surface of the obtained semiconductor substrate.

Next, the polysilicon film 57 is etched back until the
25 insulation film 55 is exposed. At this time, preferably, a part of

the polysilicon film 57 extends onto the silicon nitride film 30 and completely covers the device isolation regions 31.

After that, as shown in FIG. 22(e), the insulation film 55 is removed by isotropic etching. At the time of etching, the silicon nitride film 30 serves as a stopper so that the device isolation regions 31 can be prevented from being over-etched. Subsequently, a resist pattern of a predetermined shape is used as a mask and a part of the polysilicon film 57 is removed by anisotropic etching, thereby forming the sidewalls 26 and 27 which are separated from each other. When an impurity is implanted into the sidewalls 26 and 27, each of the sidewalls 26 and 27 constitutes a diffusion region (source or drain region).

Next, impurity ions are implanted into the gate electrode 17 and the sidewalls 26 and 27 and annealing for activating the impurity is performed. The impurity ions are diffused into the well 11 to form the regions 28 and 29 which become integrated with the sidewalls 26 and 27, respectively, thereby forming diffusion regions.

According to the semiconductor storage device, while realizing storage of two bits per one transistor, a short channel effect is extremely suppressed and scale-down can be realized. In addition, both higher-speed operation and lower power consumption can be achieved.

Further, the semiconductor storage device can be used as it is as a transistor serving as a component in a logic circuit.

Consequently, the process of forming both a logic circuit and a memory circuit can be simplified very much.

In addition, by solid phase diffusing the impurity ions injected in the sidewalls 26 and 27 into the well 11, a junction having a sharp profile between the source/drain regions and the well region can be formed. Specifically, a sharp profile junction can be formed by the source/drain regions having an impurity concentration of 10^{20} cm^{-3} or higher and the well having an impurity concentration of 10^{18} cm^{-3} or higher. A drain withstand voltage when 1V is applied to the gate electrode can be set to 3V or less. Consequently, only by setting the gate electrode to 3V, one of the N-type source and drain regions and the well to the GND, and the other one of the N-type source and drain regions to 3V, electrons can be injected into the charge holding film in the vicinity of the source/drain region which is set to 3V. In contrast, only by setting -2V to the gate electrode, one of the N-type source/drain regions to GND, the well to 0.8V (a voltage almost equal to a built-in potential of a PN junction or a voltage slightly higher than the built-in potential of the PN junction), and the other N-type source/drain region to 3V, holes can be injected to the charge holding film in the vicinity of the source/drain regions which are set to 3V. As described above, by designing the junction between the source/drain regions and the well region to have a sharp profile, the drain withstand voltage can be set to be low. By the effect, a write/erase

voltage can be set to be low.

EMBODIMENT 14

A new writing/erasing method of the semiconductor
5 storage device of the present invention will be described.

In the writing/erasing method, as will be described below,
electric field between a bit line and a word line is used.
Consequently, for example, the structure of Embodiment 13 is
effective, but the method can be also applied to the structures of
10 the other embodiments. In this case, by providing a word line
connected to a gate electrode or having the function of the gate
electrode itself and a bit line connected to the source/drain
region so as to cross each other, a strong electric field can be
applied only to a selected charge holding film.

15 A selected bit line is set to a reference potential (for
example, 0V). In this case, +VDD is applied to a selected word
line, $+2/3VDD$ is applied to a not-selected bit line, and
 $+1/3VDD$ is applied to a not-selected word line. By the
application, an electric field difference VDD is applied to a
20 charge holding film having the selected word line and the
selected bit line as counter electrodes, and the electric field
difference $1/3VDD$ is applied to all of the other charge holding
films. When the charge holding film in which writing/erasing
can be performed with the electric field difference VDD and
25 writing/erasing does not occur with the electric field difference

1/3VDD is used, random-access writing/erasing can be realized.

In this method, writing/erasing is performed directly with

tunnel current, so that writing/erasing can be performed with

low current and it produces an effect of realizing low power

5 consumption.

A large-scale integrated memory using a bulk substrate is

constituted by, as shown in FIGS. 23(a) and 23(b), a first

conductivity type well region 1901 formed in a semiconductor

substrate (the semiconductor substrate surface), a gate

10 insulation film 1902 formed on the well region 1901, a plurality

of word lines 1903 formed on the gate insulation film, a

plurality of second conductivity type diffusion regions 1905

formed on both sides of the plurality of word lines 1903, a

charge holding film 1904 formed on, at least, a part of the

15 diffusion regions or a part of the well region and a part of the

diffusion regions on both sides of the plurality of word lines on

the word line, well region and diffusion region directly or via an

insulation film, and having the function of accumulating or

trapping charges, and a plurality of bit lines (not shown)

20 connected to the plurality of diffusion regions and extending in

the direction which crosses the word lines. In FIG. 23(a),

reference numeral 1910 denotes a device isolation region. FIG.

23(b) is a sectional view taken along line A-A' of FIG. 23(a).

Preferably, the charge holding film 1904 is sandwiched between

25 a terminal (which may be a bit line itself) 1907 connecting a bit

line (not shown) and the second conductivity type diffusion region (source/drain region) 1905 and the word line (gate electrode) 1903. In this case, by applying an electric field directly across the gate electrode and the terminal, electrons or holes can be injected or moved between selected two nodes. As compared with injection of hot electrons or hot holes, writing/erasing efficiency can be further improved.

In the case where memory cells are not provided at high density as shown in FIG. 23, an interlayer insulation film is interposed between the terminal 1907 for connecting the second conductivity type diffusion region (source/drain region) 1905 and the charge holding film 1904. As the writing/erasing method in this case, the method of Embodiment 6 is used more preferably than the method described in Embodiment 14.

EMBODIMENT 15

In a semiconductor storage device of Embodiment 15, each of memory functional elements 161 and 162 is constituted by a region for holding charges (a region for storing charges, which may be a film having the function of holding charges) and a region which suppresses escape of charges (which may be a film having the function of suppressing escape of charges). For example, as shown in FIG. 24, each of the memory functional elements has an ONO structure. Specifically, a silicon nitride film 142 is sandwiched between a silicon oxide film 141 and a

silicon oxide film 143, thereby constituting the memory functional elements 161 and 162. Herein, the silicon nitride film has the function of holding charges. The silicon oxide films 141 and 143 play the role of a film having the function of suppressing escape of charges accumulated in the silicon nitride film.

The regions (silicon nitride film 142) for holding charges in the memory functional elements 161 and 162 overlap with diffusion regions 112 and 113, respectively. Overlap denotes herein that at least a part of the region (silicon nitride film 142) for holding charges exists over the region of at least a part of the diffusion regions 112 and 113. Reference numeral 111 denotes a semiconductor substrate, reference numeral 114 denotes a gate insulation film, reference numeral 117 denotes a gate electrode, and reference numeral 171 denotes an offset region (between the gate electrode and the diffusion region). Although not shown, the uppermost surface portion of the semiconductor substrate 111 under the gate insulation film 114 is a channel region.

An effect produced by overlap between the region 142 for holding charges and the diffusion regions 112 and 113 in the memory functional elements 161 and 162 will be described.

FIG. 25 is an enlarged view of a portion around the memory functional element 162 on the right side in FIG. 24. W1 denotes an offset amount between the gate electrode 114

and the diffusion region 113. W2 denotes the width of the memory functional element 162 in a cutting plane in the channel length direction of the gate electrode. Since an end on the side far from the gate electrode 117 of the silicon nitride film 142 in the memory functional element 162 coincides with the end of the memory functional element 162 on the side far from the gate electrode 117, the width of the memory functional element 162 is defined as W2. The amount of overlap between the memory functional element 162 and the diffusion region 113 is expressed as $W2 - W1$. Particularly, it is important that the silicon nitride film 142 in the memory functional element 162 overlaps with the diffusion region 113, that is, the relation of $W2 > W1$ is satisfied.

As shown in FIG. 26, in the case where an end on the side far from the gate electrode of a silicon nitride film 142a in a memory functional element 162a does not coincide with the end of the memory functional element 162a on the side far from the gate electrode, it is sufficient to define W2 as a width from the end of the gate electrode to the end far from the gate electrode of the silicon nitride film 142a.

FIG. 27 shows a drain current I_d when, in the structure of FIG. 25, the width W2 of the memory functional element 162 is fixed to 100 nm and the offset amount W1 is changed. Herein, the drain current is obtained by device simulation on assumption that the memory functional element 162 is in an

erased state (where holes are accumulated) and the diffusion regions 112 and 113 serve as a source electrode and a drain electrode.

As obvious from FIG. 27, when W1 is 100 nm or more (that is, the silicon nitride film 142 and the diffusion region 113 do not overlap with each other), the drain current rapidly decreases. Since the drain current value is almost proportional to reading operation speed, when W1 is 100 nm or more, the performance of the memory rapidly deteriorates. On the other hand, in the range in which the silicon nitride film 142 and the diffusion region 133 overlap with each other, decrease in the drain current is gentle. Therefore, it is preferable that at least a part of the silicon nitride film 142 as a film having the function of holding charges and the source/drain regions overlap with each other.

In consideration of the result of the above device simulation, memory cell arrays were fabricated by fixing W2 to 100 nm and setting W1 to 60 nm and 100 nm as design values. In the case where W1 is 60 nm, the silicon nitride film 142 and the diffusion regions 112 and 113 overlap with each other by 40 nm as a design value. In the case where W1 is 100 nm, there is no overlap as a design value. Read time of the memory cell arrays were measured. As a result, worst cases considering variations were compared with each other. Read access time of the memory cell array fabricated by setting W1 to 60 nm as a

design value is 100 times as fast as that of the other case. In practice, the read access time is preferably 100 nano seconds or less per one bit. It was however found that when $W1 = W2$, the condition cannot be achieved at all. In the case where

5 manufacture variations are also considered, it was found that $W2 - W1 > 10 \text{ nm}$ is more preferable.

Preferably, information stored in the memory functional element 161 (region 181) is read out by, in a manner similar to Embodiment 6, setting the diffusion region 112 as a source
10 electrode, setting the diffusion region 113 as a drain region, and forming a pinch-off point on the side close to the drain region in the channel region. Specifically, at the time of reading information stored in one of two memory functional elements, it is preferable to form the pinch-off point in a region close to the
15 other memory functional element in the channel region. With the configuration, irrespective of the storage state of the memory functional element 162, stored information in the memory functional element 161 can be detected with high sensitivity, and it is a big factor to enable 2-bit operation.

20 On the other hand, in the case of storing information only one of two memory functional elements or in the case where two memory functional elements are used in the same storage state, it is not always necessary to form a pinch-off point at the time of reading.

25 Although not shown in FIG. 24, it is preferable to form a

well region (a P-type well in the case of an N-channel device) in the surface of the semiconductor substrate 111. By forming the well region, while optimizing the impurity concentration of the channel region for memory operations (rewriting operation and reading operation), the other electric characteristics (withstand voltage, junction capacitance, and short-channel effect) can be easily controlled.

From the viewpoint of improving the retention characteristic of the memory, preferably, the memory functional element includes a charge holding film having the function of holding charges and an insulation film. In the embodiment, the silicon nitride film 142 having a level of trapping charges is used as the charge holding film, and the silicon oxide films 141 and 143 having the function of preventing dissipation of charges accumulated in the charge holding film are used as the insulation films. When the memory functional element includes the charge holding film and the insulation film, dissipation of charges is prevented and the retention characteristic can be improved. Further, as compared with the case where the memory functional element is constituted only by the charge holding film, the volume of the charge holding film can be properly reduced. By properly reducing the volume of the charge holding film, movement of charges in the charge holding film is limited, so that occurrence of a change in the characteristics by movement of charges during storage holding

can be suppressed.

The memory functional element preferably includes a charge holding film which is disposed almost in parallel with the surface of the gate insulation film, in other words, the top face
5 of the charge holding film in the memory functional element is positioned in an equal distance from the top face of the gate insulation film. Concretely, as shown in FIG. 28, the charge holding film 142a of the memory functional element 162 has a face almost parallel with the surface of the gate insulation film
10 114. In other words, it is preferable that a charge holding film 142a is formed so that its level is the same as that of the surface of the gate insulation film 114. By existence of the charge holding film 142a almost parallel with the surface of the gate insulation film 114 in the memory functional element 162,
15 it can be efficiently controlled that an inversion layer is formed in the offset region 171 in accordance with the amount of charges accumulated in the charge holding film 142a and, moreover, the memory effect can be increased. By setting the charge holding film 142a almost parallel with the surface of the
20 gate insulation film 114, even in the case where the offset amount (W1) various, a change in the memory effect can be kept relatively small and variations in the memory effect can be suppressed. Moreover, movement of charges to the upper part of the charge holding film 142a is suppressed, and occurrence of
25 a change in characteristics by movement of charges during

storage holding can be suppressed.

Further, the memory functional element 162 preferably includes an insulation film (for example, a portion above the offset region 171 in the silicon oxide film 144) which partitions
5 between the charge holding film 142a almost parallel with the surface of the gate insulation film 114 and a channel region (or a well region). By the insulation film, dissipation of charges accumulated in the charge holding film is suppressed. A semiconductor storage device having a better retention
10 characteristic can be obtained.

By controlling the thickness of the charge holding film 142a and controlling the thickness of the insulation film (the portion above the offset region 171 in the silicon oxide film 144) under the charge holding film 142a to be constant, the distance
15 from the surface of the semiconductor substrate to a charge accumulated in the charge holding film can be maintained to be almost constant. Specifically, the distance from the surface of the semiconductor substrate to charges accumulated in the charge holding film can be controlled to be in a range from the
20 minimum thickness value of the insulation film under the charge holding film 142a to a sum of the maximum film thickness value of the insulation film under the charge holding film 142a and the maximum film thickness value of the charge holding film 142a. Consequently, the density of electric line of
25 force generated by the charges accumulated in the charge

holding film 142a can be almost controlled, and variations in the memory effects of the memory device can be reduced very much.

5 EMBODIMENT 16

In Embodiment 16, the charge holding film 142 in the memory functional element 162 has an almost even thickness, disposed almost parallel with the surface of the gate insulation film 114 (arrow 181) and, further, has a shape disposed almost
10 parallel with the side face of the gate electrode 117 (arrow 182) as shown in FIG. 29.

In the case where a positive voltage is applied to the gate electrode 117, an electric line of force in the memory functional element 162 passes through the silicon nitride film 142 twice as
15 shown by an arrow 183 (the portions indicated by the arrows 182 and 181). When a negative voltage is applied to the gate electrode 117, the direction of the electric line of force is reversed. Herein, the dielectric constant of the silicon nitride film 142 is about 6 and that of the silicon oxide films 141 and
20 143 is about 4. Therefore, the effective dielectric constant of the memory functional element 162 in the direction of the electric line 183 of force becomes higher than that in the case where only the charge holding film shown by the arrow 181 exists, and the potential difference at both ends of the electric
25 line of force can be further reduced. Specifically, a large

portion of the voltage applied to the gate electrode 117 is used to enhance the electric field in the offset region 171.

The reason why charges are injected into the silicon nitride film 142 in the rewriting operation is because the generated charges are attracted by the electric field in the offset region 171. Therefore, by including the charge holding film indicated by the arrow 182, in the rewriting operation, charges injected into the memory functional element 162 increase and rewriting speed increases.

In the case where the portion of the silicon oxide film 143 is also a silicon nitride film, that is, the level of the charge holding film is not uniform with the height of the surface of the gate insulation film 114, upward movement of charges in the silicon nitride film becomes conspicuous and the retention characteristic deteriorates.

More preferably, in place of the silicon nitride film, the charge holding film is made of a high dielectric such as hafnium oxide having very high dielectric constant.

Further, the memory functional element preferably includes an insulation film (the portion above the offset region 171 in the silicon oxide film 141) which partitions between the charge holding film almost parallel with the surface of the gate insulation film and a channel region (or a well region). By the insulation film, dissipation of charges accumulated in the charge holding film is suppressed and the retention

characteristic can be further improved.

Further, the memory functional element preferably includes an insulation film (the portion in contact with the gate electrode 117 in the silicon oxide film 141) which partitions
5 between the gate electrode and the charge holding film extending in the direction almost parallel with the side face of the gate electrode. By the insulation film, the electric characteristics can be prevented from being changed by injection of charges from the gate electrode to the charge
10 holding film, and reliability of the semiconductor storage device can be improved.

Further, in a manner similar to Embodiment 15, it is preferable to control the thickness of the insulation film under the charge holding film 142 (the portion above the offset region
15 171 in the silicon oxide film 141) to be constant and to control the thickness of the insulation film disposed on the side face of the gate electrode (the portion in contact with the gate electrode 117 in the silicon oxide film 141) to be constant. Thus, the density of the electric line of force generated by the charges
20 accumulated in the charge holding film 142 can be mostly controlled and charge leak can be prevented.

EMBODIMENT 17

Embodiment 17 relates to optimization of the distances
25 among the gate electrode, the memory functional element and

the source/drain regions.

As shown in FIG. 30, symbol A denotes length of the gate electrode in a cut plane in the channel length direction.

Symbol B denotes distance (channel length) between the source
5 and drain regions. Symbol C indicates distance from an end of
one of memory functional elements to an end of the other
memory functional element, specifically, distance between an
end (on the side far from the gate electrode) of a film having the
function of holding charges in one of memory functional
10 elements in a cut plane in the channel length direction and an
end (on the side far from the gate electrode) of a film having the
function of holding charges in the other memory functional
element.

First, it is preferable that $B < C$. Between the portion
15 under the gate electrode 117 in the channel region and the
source/drain regions 112 and 113, the offset regions 171 exist.
Since $B < C$, by charges accumulated in the memory functional
elements 161 and 162 (silicon nitride film 142), easiness of
inversion in the whole offset region 171 is effectively fluctuated.
20 Therefore, the memory effect increases and, particularly, higher
speed of the reading operation is realized.

In the case where the gate electrode 117 and the
source/drain regions 112 and 113 are offset from each other,
that is, when the relation of $A < B$ is satisfied, easiness of
25 inversion of the offset region when a voltage is applied to the

gate electrode largely changes according to the amount of charges accumulated in the memory functional element, the memory effect increases, and the short channel effect can be reduced. As long as the memory effect appears, the offset
5 region 171 does not always have to exist. Also in the case where the offset region 171 does not exist, if the impurity concentration in the source/drain regions 112 and 113 is sufficiently low, the memory effect can appear in the memory functional elements 161 and 162 (silicon nitride film 142).

10 Therefore, $A < B < C$ is the most preferable.

EMBODIMENT 18

A semiconductor storage device of Embodiment 18 has a configuration substantially the same as that in Embodiment 15
15 except that the semiconductor substrate is replaced with an SOI substrate as shown in FIG. 31.

In the semiconductor storage device, a buried oxide film 183 is formed on a semiconductor substrate 181 and, further, an SOI layer is formed on the buried oxide film 183. In the SOI
20 layer, the diffusion regions 112 and 113 are formed and the other region serves as a body region 182.

The semiconductor storage device also produces effects similar to those of the semiconductor storage device of Embodiment 15. Further, the junction capacitance between
25 the diffusion regions 112 and 113 and the body region 182 can

be considerably reduced, so that higher speed of the device and lower power consumption can be realized.

EMBODIMENT 19

5 A semiconductor storage device of Embodiment 19 has, as shown in FIG. 32, substantially the same configuration as that in Embodiment 15 except that a P-type high-concentration region 191 is additionally provided adjacent to the channel sides of the N-type source/drain regions 112 and 113.

10 Specifically, the concentration of a P-type impurity (for example, boron) in the P-type high-concentration region 191 is higher than that in a region 192. Proper concentration of the P-type impurity in the P-type high-concentration region 191 is, for example, about 5×10^{17} to $1 \times 10^{19} \text{ cm}^{-3}$. The concentration
15 of the P-type impurity in the region 192 can be set to, for example, 5×10^{16} to $1 \times 10^{18} \text{ cm}^{-3}$.

As described above, by providing the P-type high-concentration region 191, the junctions between the diffusion regions 112 and 113 and the semiconductor substrate
20 111 becomes sharp just below the memory functional elements 161 and 162. Consequently, hot carriers are easily generated in the writing and erasing operations, voltages in the writing and erasing operations are dropped, or the writing and erasing operations can be performed at higher speed. Further, since
25 the concentration of the impurity in the region 192 is relatively

low, when the memory is in the erased state, a threshold is low, and the drain current is large. Consequently, reading speed is increased. Therefore, the semiconductor storage device realizing a low rewriting voltage, high-rewriting speed, and high reading speed can be obtained.

By providing the P-type high-concentration regions 191 in the vicinity of the source/drain regions and below the memory functional elements (that is, not immediately below the gate electrode) in FIG. 32, the threshold of the whole transistor considerably increases. The degree of increase is much higher than that in the case where the P-type high-concentration region 191 is provided immediately below the gate electrode. When write charges (electrons in the case where the transistor is of the N-channel type) are accumulated in the memory functional element, the difference becomes larger. On the other hand, when sufficient erase charges (positive holes in the case where the transistor is of the N-channel type) are accumulated in the memory functional element, the threshold of the whole transistor decreases to a threshold determined by the impurity concentration of the channel region (region 192) under the gate electrode. To be specific, the threshold at the time of erase does not depend on the impurity concentration of the P-type high-concentration region 191. On the other hand, the threshold at the time of writing is largely influenced by the impurity concentration. Therefore, by disposing the P-type

high-concentration region 191 under the memory functional element and in the vicinity of the source/drain regions, only the threshold at the time of writing largely fluctuates, and a memory effect (the difference between the threshold at the time of writing and the threshold at the time of erasing) can be considerably increased.

EMBODIMENT 20

A semiconductor storage device of Embodiment 20 has, as shown in FIG. 33, a configuration substantially the same as that in Embodiment 15 except that the thickness (T1) of the insulation film which partitions between the charge holding film (silicon nitride film 142) and the channel region or well region is thinner than the thickness (T2) of the gate insulation film.

There is a lower limit value in the thickness T2 of the gate insulation film 114 due to a demand for withstand voltage in an operation of rewriting the memory. However, the thickness T1 of the insulation film can be made smaller than T2 irrespective of the demand for withstand voltage. By reducing T1, injection of charges to the memory functional element is facilitated, the voltage in the writing operation and the erasing operation is dropped or the writing and erasing operations can be performed at higher speed. Since an amount of charges induced by the channel or well region increases when charges are accumulated in the silicon nitride film 142, the memory effect can be

increased.

Therefore, by satisfying $T1 < T2$, without deteriorating the withstand voltage performance of the memory, the voltage in the writing and erasing operations can be decreased or the writing and erasing operations can be performed at higher speed and, further, the memory effect can be increased.

The thickness $T1$ of the insulation film is more preferably 0.8 nm or higher which allows the consistency in the manufacturing process and a predetermined level of the film quality maintained and which is as a limit to prevent an extreme deteriorate of the retention characteristics.

EMBODIMENT 21

A semiconductor storage device of Embodiment 21 has, as shown in FIG. 34, a configuration which is substantially the same as that of Embodiment 15 except that the thickness ($T1$) of the insulation film partitioning between the charge holding film (silicon nitride film 142) and the channel region or well region is larger than the thickness ($T2$) of the gate insulation film.

There is an upper limit value for the thickness $T2$ of the gate insulation film 114 due to demand for preventing the short channel effect of the device. However, irrespective of the demand for preventing the short channel effect, the thickness $T1$ of the insulation film can be set to be larger than $T2$. By making $T1$ thicker, dissipation of charges accumulated in the

memory functional element is prevented and the memory retention characteristic can be improved.

Therefore, by setting $T1 > T2$, without deteriorating the short channel effect of the memory, the retention characteristic
5 can be improved.

The thickness $T1$ of the insulation film is preferably 20 nm or less in consideration of decrease in rewriting speed.

EMBODIMENT 22

10 FIG. 35 shows a portable telephone as a portable electronic apparatus in which the above-described semiconductor storage device is assembled.

The portable telephone is constituted mainly by a control circuit 211, a battery 212, an RF (Radio Frequency) circuit 213,
15 a display 214, an antenna 215, a signal line 216, a power source line 217 and the like. In the control circuit 211, the above-described semiconductor storage device of the present invention is assembled. The control circuit 211 is preferably an integrated circuit in which devices having the same structure
20 as described in Embodiment 10 are used as a memory circuit device and a logic circuit device. With the configuration, manufacture of the integrated circuit is facilitated, and the manufacturing cost of the portable electronic apparatus can be particularly reduced.

25 As described above, by using the semiconductor storage

device capable of storing two bits per one transistor, which can be easily formed finely, for a portable electronic apparatus, the function and operating speed of the portable electronic apparatus are improved and the manufacturing cost can be
5 reduced.

The semiconductor storage device of the present invention is constituted either mainly by a first conductivity type region and a second conductivity type region as diffusion regions, a memory functional element disposed across the boundary of the
10 first and second conductivity type regions, and an electrode provided via an insulation film, or mainly by a gate insulation film, a gate electrode formed on the gate insulation film, memory functional elements formed on both sides of the gate electrode, source/drain regions (diffusion regions) each disposed on the
15 side opposite to the gate electrode of the memory functional element, and a channel region disposed under the gate electrode.

The semiconductor storage device functions as a memory device for storing information of four or more values by storing
20 binary or more information in a single charge holding film and also functions as a memory cell having both the function of a selection transistor and the function of a memory transistor by a variable resistance effect produced by the memory functional elements.

25 The semiconductor device of the present invention is

preferably formed on the semiconductor substrate, preferably, on the first conductivity type well region formed in the semiconductor substrate.

The semiconductor substrate is not particularly limited as long as it can be used for a semiconductor device, and an example thereof includes a bulk substrate made of an element semiconductor such as silicon or germanium or a compound semiconductor such as silicon germanium, GaAs, InGaAs, ZnSe or GaN. As a substrate having a semiconductor layer on its surface, any of various substrates such as an SOI (Silicon on Insulator) substrate and a multilayer SOI substrate and a glass or plastic substrate on which a semiconductor layer is formed may be used. Particularly, a silicon substrate, an SOI substrate on which a silicon layer is formed, and the like are preferable. Although depending on the amount of current flowing therein, the semiconductor substrate or semiconductor layer may be single crystal (obtained by, for example, epitaxial growth), polycrystal, or amorphous.

Preferably, a device isolation region is formed on the semiconductor substrate or semiconductor layer. Further, the device may be formed by a single or multilayer structure obtained by combining elements such as a transistor, a capacitor and a resistor, circuits formed by the elements, a semiconductor device, and an interlayer insulation film. The device isolation region can be formed by any of various device

isolation films such as an LOCOS film, a trench oxide film and an STI film. The semiconductor substrate may be of a P-type or N-type conductivity type. In the semiconductor substrate, preferably, at least one first conductivity type (P-type or N-type) well region is formed. An impurity concentration of the semiconductor substrate and the well region can be set within a range which is known in the art. In the case of using an SOI substrate as the semiconductor substrate, a well region may be formed in a surface semiconductor layer or a body region may be provided under a channel region.

The gate insulation film or insulation film is not particularly limited as long as it is usually used for a semiconductor device. For example, a single layer or a lamination film of, an insulation film such as a silicon oxide film or a silicon nitride film, or a high-dielectric-constant film such as an aluminum oxide film, a titanium oxide film, a tantalum oxide film or a hafnium oxide film can be used. Particularly, a silicon oxide film is preferable. Proper thickness of the gate insulation film is, for example, about 1 to 20 nm and, preferably, about 1 to 6 nm. The gate insulation film may be formed only under the gate electrode or formed larger (wider) than the gate electrode.

The gate electrode or electrode is formed on the gate insulation film in a shape which is usually used for a semiconductor device or a shape in which a recess is provided in

a lower end portion. The single gate electrode denotes a gate electrode formed in an integral shape which is not separated by one or more conductive films as a gate electrode. The gate electrode may have a sidewall insulation film on its sidewall.

5 The gate electrode is not particularly limited as long as it is usually used for a semiconductor device, which may be formed by a conductive film made of, for example, a single film or a lamination film of, polysilicon, a metal such as copper or aluminum, or a refractory metal such as tungsten, titanium or
10 tantalum, or silicide of a refractory film or the like. Proper thickness of the gate electrode is, for example, about 50 to 400 nm. Under the gate electrode, the channel region is formed.

The memory functional element includes a film or region having at least the function of holding charges, or accumulating
15 and holding charges, or the function of trapping charges or holding a charge polarized state. Examples of having the functions include silicon nitride, silicon, silicate glass containing impurity such as phosphorus or boron, silicon carbide, alumina, a high dielectric such as hafnium oxide,
20 zirconium oxide or tantalum oxide, zinc oxide, ferroelectric, a metal and the like. The memory functional element can be formed by, for example a single layer or a lamination layer of: an insulation film including a silicon nitride film; an insulation film having therein a conductive film or a semiconductor layer; an
25 insulation film having therein one or more dots made of a

conductor or a semiconductor; or an insulation film including a ferroelectric film in which internal charges are polarized by an electric field and its state is held. Among them, the silicon nitride film is preferable because it can obtain a large hysteresis characteristic since a number of levels of trapping charges exist, charge retention time is long, a retention characteristic is good since a problem such as charge leakage caused by occurrence of a leak path does not occur, and the materials are used normally in an LSI process.

By using the insulation film including therein an insulation film having the charge holding function such as a silicon nitride film as a memory functional element, the reliability of holding storage can be increased. Since the silicon nitride film is an insulator, even if a leak of charges occurs in a part thereof, the charges of the whole silicon nitride film are not lost immediately. In order to further increase the reliability, the insulation film having the function of holding charges is not necessarily in a film shape. Preferably, insulators having the function of holding charges exist discretely in an insulation film. Concretely, it is preferable that the insulators in the form of dots be spread in a material which does not easily hold charges such as a silicon oxide.

By using the insulation film including therein a conductive film or a semiconductor layer as the memory functional element, an injection amount of charges into the

conductor or semiconductor can be freely controlled, so that an effect of realizing multiple values is produced.

Further, by using an insulator film including one or more dots made of a conductor or semiconductor as the memory functional element, writing and erasing is easily performed by charge direct tunneling, so that an effect of lower power consumption is obtained.

As the memory functional element, a ferroelectric film made of PZT, PLZT or the like in which a polarization direction changes according to an electric field may be used. In this case, in the surface of the ferroelectric film, charges are substantially generated by polarization and the state is held. Therefore, a hysteresis characteristic similar to that of a film for trapping charges supplied from the outside of a film on which the memory function is provided can be obtained. In addition, charge holding of the ferroelectric film does not require injection of charges from the outside and a hysteresis characteristic can be obtained only by polarization of the charges in the film. Thus, an effect that writing and erasing can be performed at high speed is produced.

Consequently, it is preferable that the memory functional element further include a region which suppresses escape of charges or a film having the function of suppressing escape of charges. Examples of a film having the function of suppressing escape of charges include a silicon oxide film and the like.

The charge holding film included in the memory functional element is formed on both sides of the gate electrode directly or via an insulation film and is disposed on the semiconductor substrate (the well region, body region or source/drain region, or diffusion region) directly or via a gate insulation film or an insulation film. Preferably, the charge holding films on both sides of the gate electrode are formed so as to cover all of or a part of the sidewall of the gate electrode directly or via the insulation film. As an example of application, in the case where the gate electrode has a recess in its lower end portion, the charge holding film may be formed so as to completely or partly bury the recess directly or via an insulation film. In this case, however, the manufacturing process is complicated. Consequently, from the industrial viewpoint, preferably, the memory functional element covers only the sidewalls of the gate electrode and the gate electrode does not cover the top portion of the memory functional element. In the case of using a conductive film as the charge holding film, it is preferable to dispose the conductive film via the insulation film so that the charge holding film is not in direct contact with the semiconductor substrate (well region, body region or source/drain region, or diffusion region) or the gate electrode. For example, a lamination structure of a conductive film and an insulation film, a structure in which a conductive film is dispersed in the form of dots in the insulation film, a structure

in which the conductive film is disposed in a part of a sidewall insulation film formed on the sidewalls of the gate, and the like can be employed.

The diffusion region or source/drain region is disposed,
5 as a diffusion region of a conductivity type different from that of the semiconductor substrate or well region, on the side opposite to the gate electrode of the charge holding film. In the junction between the source/drain region and the semiconductor
substrate, the memory functional element or the well region, the
10 impurity concentration is preferably sharp. This is because hot electrons or hot holes are generated efficiently at low voltage, so that operation can be performed at higher speed with a lower voltage. The junction depth of the source/drain regions is not particularly limited but can be properly adjusted in accordance
15 with the performances of a semiconductor storage device to be obtained. In the case of using an SOI substrate as a semiconductor substrate, the source/drain regions may have a junction depth smaller than the thickness of a surface semiconductor layer. However, preferably, the source/drain
20 regions have a junction depth which is almost the same as the thickness of the surface semiconductor layer.

The source/drain region may be disposed so as to overlap with an end of the gate electrode, so as to be aligned with an end of the gate electrode, or so as to be offset from an end of the
25 gate electrode. Particularly, in the case where the

source/drain region is offset from an end of the gate electrode, it is preferable since easiness of inversion of an offset region under the charge holding film when voltage is applied to the gate electrode largely changes according to an amount of charges accumulated in the memory functional element, a memory effect is increased, and a short channel effect is reduced. However, when the source/drain region is offset too much, drive current between the source and drain decreases considerably. Therefore, it is preferable that the offset amount, that is, distance between ends of the gate electrodes to a nearer source/drain region in the gate length direction be shorter than the thickness of the charge holding film in the direction parallel with the gate length direction. It is particularly important that at least a part of the charge accumulation region in the memory functional element overlaps with a part of the source/drain region as a diffusion region. This is because the essence of the memory of the present invention is to rewrite stored information by an electric field across the memory functional element in accordance with the voltage difference between the gate electrode existing only in the sidewall portion of the memory functional element and the source/drain region.

A part of the source/drain region may be extended at a level higher than the surface of the channel region, that is, the lower face of the gate insulation film. In this case, it is proper to laminate a conductive film integrated with the source/drain

region on a source/drain region formed in the semiconductor substrate. The conductive film is preferably made of a semiconductor such as polysilicon or amorphous silicon, silicide, the above metals, and refractory metals, and the like. Among
5 them, polysilicon is preferred. The impurity diffusion speed of polysilicon is much higher than that of the semiconductor substrate, so that it is easy to make the junction of the source/drain regions in the semiconductor substrate shallow and a short channel effect is easily suppressed. In this case, it
10 is preferable to dispose a part of the source/drain regions so as to sandwich at least a part of the memory functional element together with the gate electrode.

The semiconductor storage device of the present invention can be formed by, for example, a method similar to a method of
15 forming a sidewall spacer having a single-layered or lamination-layered structure on a sidewall of the gate electrode by a normal semiconductor process. Concrete methods are: a method of forming a gate electrode or an electrode, after that, forming a single-layered film or lamination-layered film
20 including a charge holding film such as a charge holding film, charge holding film/insulation film, insulation film/charge holding film, insulation film/charge holding film/insulation film, or the like and etching back the film under proper conditions, thereby leaving the film in a sidewall spacer shape; a method of
25 forming an insulation film or charge holding film, etching back

the film under proper conditions so as to be left in a sidewall spacer shape, further forming a charge holding film or insulation film, and similarly etching back the film so as to be left in a sidewall spacer shape; a method of dispersing particles of a charge holding material into an insulation film material, applying or depositing the resultant material onto a semiconductor substrate including a gate electrode, and etching back the insulation film material under proper conditions so as to be left in a sidewall spacer shape; and a method of forming a gate electrode, after that, forming the single-layered film or lamination-layered film, and patterning the film with a mask. There is also provided a method of forming a charge holding film, charge holding film/insulation film, insulation film/charge holding film, insulation film/charge holding film/insulation film, or the like before formation of a gate electrode or an electrode, forming an opening in a region which becomes a channel region in the film, forming a gate electrode material film on the whole surface, and patterning the gate electrode material film in a shape including an opening and larger than the opening.

A semiconductor storage device of the present invention can be used for a portable electronic apparatus driven on a battery and, particularly, a portable information terminal. Examples of the portable electronic apparatus include a portable information terminal, a portable telephone, a game apparatus and the like.

According to the present invention, in contrast to a memory cell of an MRAM as prior art which is constituted by two devices, a memory cell can be constituted by substantially one device, so that further scale-down and high-integration can be realized.

The configuration of one device is simple. A device can be constituted by: a first conductivity type region formed in a semiconductor layer; a second conductivity type region adjacent to the first conductivity type region; a memory functional element disposed across the boundary of the first and second conductivity type regions in the surface of the semiconductor layer; and an electrode provided in contact with the memory functional element and on the first conductivity type region via an insulation film. Thus, further reduction in size of an occupied area can be achieved and reading speed of the semiconductor storage device can be improved.

Further, the device has: a first conductivity type region formed in a semiconductor layer; two second conductivity type regions adjacent to the first conductivity type region; two memory functional elements each disposed across the boundary of the first and second conductivity type regions in the surface of the semiconductor layer; and an electrode provided in contact with each of the memory functional elements and on the first conductivity type region via an insulation film. Thus, reading

speed of the semiconductor storage device can be improved and high-integration can be improved.

In the case of storing information of two or more bits by accumulating charges independently in each of the two memory functional elements, the device area per one bit can be reduced. Thus, manufacturing cost of the semiconductor storage device can be reduced.

According to another aspect, by providing: a channel region; variable resistance regions provided on both sides of the channel region; diffusion regions provided on both sides of the channel region via the variable resistance regions; a gate electrode provided on the channel region via a gate insulation film; and two memory functional elements disposed on both sides of the gate electrode each across the variable resistance region and a part of the diffusion region, reading operation speed of the semiconductor storage device can be improved.

At the time of reading out information stored in one of the two memory functional elements, a pinch-off point is formed in a region close to the other memory functional element in the channel region. Irrespective of the storage state of the other memory functional element, stored information of the one of memory functional elements can be detected with high sensitivity. This is a big factor which enables 2-bit operation.

Further, the memory functional elements are disposed, not under the gate electrode but, on both sides of the gate

electrode. Consequently, it is unnecessary to make the gate insulation film function as a memory functional element, and the gate insulation film can be used simply only for the function of the gate insulation film separately from the memory

5 functional element. Designing according to a scaling rule of an LSI can be made. Therefore, it is unnecessary to insert a floating gate between a channel and a control gate unlike a flash memory and, further, it is unnecessary to employ an ONO film having the memory function by the gate insulation film. Thus,
10 the gate insulation film according to scale-down can be employed, an influence of the electric field of the gate electrode on a channel increases, and a semiconductor storage device having a memory function and resistive to a short channel effect can be realized. Therefore, the scale-down can be achieved,
15 high-integration can be improved, and an inexpensive semiconductor storage device can be provided.

Since the functions of a conventional selection transistor and a memory cell transistor can be achieved by providing only one word line connected to a gate electrode or having the
20 function itself of the gate electrode necessary for one memory cell, further high-integration of the semiconductor storage device can be realized.

Further, by detecting the amount of charges in the memory functional element on the basis of a change in the
25 amount of current flowing from one of the source/drain regions

to the other source/drain region, a slight change in charges in the memory functional element can be determined as a large current difference.

When the resistance value of the variable resistance part positioned below the memory functional element changes according to an amount of charges in the charge memory functional element and the presence/absence of charges in the memory functional element is detected by a change in an amount of current flowing from one of source/drain regions to the other source/drain region, a slight change in the charges in the memory functional element can be determined as a large current difference.

Further, the structure in which a single gate electrode is sandwiched between two memory functional elements formed on both sides of the signal gate electrode per one memory cell changes a charge amount of the memory functional element, so that the number of electrodes can be minimized. Therefore, the memory cell occupation area can be reduced.

The number of electrodes necessary for a detection method of detecting an amount of charges in each of two memory functional elements on the basis of a change in an amount of current flowing from one of source/drain regions to the other source/drain region in a structure in which a single gate electrode is sandwiched between two memory functional elements formed on both sides of the gate electrode per one

memory cell, that is, a detection method capable of determining a slight change in charges as a large current difference is minimized. Therefore, the memory cell occupation area can be reduced.

5 Further, the number of electrodes necessary for a detection method of changing a resistance value of a variable resistance part positioned under each of two memory functional elements formed on both sides of a single gate electrode while sandwiching the single gate electrode per one memory cell in
10 accordance with the presence/absence of charges in the memory functional element and detecting an amount of charges in the memory functional element on the basis of a change in an amount of current flowing from one of source/drain regions to the other source/drain region, that is, a detection method
15 capable of determining a slight change in charges as a large current difference is minimized. Therefore, the memory cell occupation area can be reduced.

The minimum terminals necessary for a memory cell, capable of selecting one memory cell from a plurality of memory
20 cells and performing writing, erasing, and reading are constituted by one terminal connected to the semiconductor substrate, the well region or the semiconductor layer disposed on the insulation film, two terminals connected to source/drain regions, and one terminal connected to the gate electrode.
25 Therefore, one memory cell can be constituted by the smallest

number of terminals.

Further, in an operating method of performing either reading, writing or erasing a memory cell by applying only four kinds of voltages: a voltage applied to the substrate, the well
5 region or the semiconductor layer disposed on the insulator; a voltage applied to the single gate electrode; and voltages respectively applied to the two source/drain electrodes, a memory cell can be operated with the smallest number of nodes.

Since a gate electrode sidewall insulation film formed on
10 both sides of the single gate electrode functions as memory functional elements, it is facilitated to form both a circuit constituted by a logic transistor and a memory storage device.

Further, at least a part of the gate electrode sidewall insulation film having the function of holding charges overlap
15 with the source/drain region, so that decrease in read current is suppressed. Therefore, the reading operation speed of the semiconductor storage device can be increased.

By a single semiconductor storage device, 2-bit information can be stored. Moreover, the memory functional
20 elements disposed on both sides of one gate electrode are completely isolated from each other by the gate electrode. Thus, electric interference between the memory functional elements can be avoided, so that the semiconductor storage device for storing information of multiple values can be realized while
25 realizing further scale-down.

In addition, the semiconductor storage device of the present invention can be used as it is as a transistor constituting a logic circuit. A process of forming both a logic circuit and a memory circuit can be therefore made very easy.

5 When a part of the source/drain region is extended at a level higher than the surface of the channel region or the lower face of the gate insulation film, and at least a part of the memory functional element is sandwiched between the gate electrode and a part of the source/drain region, a shallower
10 junction of the source/drain regions can be realized and a sharp impurity concentration profile in the junction portion can be realized. Therefore, the short channel effect can be suppressed extremely effectively, further scale-down of the device can be realized, the drain withstand voltage can be decreased, and a
15 write/erase voltage by injection of electrons or holes can be reduced.

By sandwiching the memory functional element by the gate electrode and the source/drain region, an electric field can be directly applied across the gate electrode and the
20 source/drain region and injection of electrons or holes and movement of electrons and holes can be performed between selected two nodes. Consequently, the writing/erasing efficiency can be improved as compared with injection of hot electrons or hot holes.

25 In the case where the source/drain region is disposed so

as to be offset from an end of the gate electrode, parasitic resistance in the offset region under the memory functional element when a voltage is applied to the gate electrode can be largely changed according to an amount of charges accumulated
5 in the memory functional element. Thus, the memory effect can be increased.

In the present invention, when the source/drain regions are made of an N-type semiconductor, one of the source/drain regions is set to a reference voltage, and the other source/drain
10 region and the gate electrode are set to a voltage higher than the reference voltage, or one of the source/drain regions is set to a reference voltage, the other diffusion region is set to a voltage higher than the reference voltage, and the gate electrode is set to a voltage lower than the reference voltage, that is, only
15 relative potentials of three electrodes are set, thereby enabling electrons or holes to be selectively injected into the memory functional element. Consequently, the number of electrodes per memory cell in the semiconductor storage device can be reduced and further reduction in size of the cell area can be
20 realized.

Similarly, in the case where the source/drain regions are made of a P-type semiconductor, one of the source/drain regions is set to a reference voltage, and the other source/drain
region and the gate electrode are set to a voltage lower than the
25 reference voltage, or one of the source/drain regions is set to a

reference voltage, the other source/drain region is set to a voltage lower than the reference voltage, and the gate electrode is set to a voltage higher than the reference voltage, thereby enabling holes or electrons to be selectively injected into the
5 memory functional element. Thus, further reduction in the cell area can be realized.

In the case where a charge holding film is formed on the well region or the diffusion region at both ends of the gate electrode directly or via an insulation film, an inversion layer
10 can be controlled in accordance with an amount of charges in the charge holding film. Therefore, a large hysteresis (change in threshold) can be obtained, and a semiconductor storage device of excellent characteristics can be obtained.

In the case where the semiconductor substrate is an SOI
15 substrate having a surface semiconductor layer, and the first conductivity type well region is formed as a body region in the surface semiconductor layer, the junction capacitance between the diffusion region and the body region can be reduced considerably, so that higher speed of the device and lower power
20 consumption can be realized.

In the case where the charge holding film is in contact with the diffusion region and/or the well region or the body region via the insulation film in the vicinity of an end of the gate electrode, leakage of held charges can be suppressed. Thus,
25 the charge retention characteristic can be improved.

When a lower end portion of the gate electrode has a recess, and at least a part of the charge holding film is buried in the recess directly or via an insulation film, at least a part of the charge holding film is covered with the gate electrode, so
5 that efficiency of injecting hot carries can be improved particularly at the time of erasing. Thus, higher-speed erasing operation can be realized.

When the gate electrode has a sidewall insulation film on a sidewall, and a part of the sidewall insulation film is formed
10 as a charge holding film, by performing ion implantation for forming a diffusion region with the sidewall insulation film as a mask, control on the position of an end of the diffusion region is facilitated. Therefore, while preventing the diffusion region from reaching a portion below the gate electrode, a region in
15 which the well region or body region is in contact with the charge holding film directly or via the insulation film can be formed. Therefore, the semiconductor storage device having excellent characteristics can be obtained.

According to a manufacturing method of a semiconductor
20 storage device of the present invention, a semiconductor storage device realizing high-performance and high-integration can be manufactured by simple processes.

When the well region or body region of the semiconductor device of the present invention has a P-type conductivity type,
25 one of the diffusion regions is set to a reference voltage, the gate

electrode is set to a voltage lower than the reference voltage, the well region or body region is set to a voltage higher than the reference voltage, and the other diffusion region is set to a voltage higher than the voltage of the well region or body region, thereby passing current in the forward direction from the P-type well region or body region to the diffusion region fixed to the reference voltage. Consequently, even in the case where only a voltage difference which is insufficient to generate hot holes by interband tunnel is applied in the junction between the P-type well region or body region and the other diffusion region, hot holes can be generated by electrons injected from the diffusion region fixed to the reference voltage to the well region or body region. Therefore, an effect of injecting holes into the memory functional element adjacent to the other diffusion region is increased, and the voltage at the time of hole injecting operation can be decreased.

In the case where the well region or body region of the semiconductor device of the present invention has an N-type conductivity type, current in the forward direction flows from the N-type well region or body region to the diffusion region fixed to the reference voltage. Consequently, even in the case where only a voltage difference which is insufficient to generate hot electrons by interband tunnel is applied in the junction between the well region or body region and the other diffusion region, hot electrons can be generated by holes injected from the

diffusion region fixed to the reference-voltage to the well region or body region. Therefore, an effect of injecting electrons into the memory functional element adjacent to the other diffusion region is increased, and the voltage at the time of electron

5 injecting operation can be decreased.

The above-described memory functional element is formed by a single-layered or multi-layered structure such as a film having the function of accumulating or trapping charges or holding a charge polarized state, which is for example, an
10 insulation film including a silicon nitride film, an insulation film including therein a conductor film or semiconductor film, or an insulation film including one or more dots made of conductor or semiconductor. In the case of the insulation film including the silicon nitride film, a number of levels for trapping charges
15 exists, so that a large hysteresis characteristic can be obtained. Since the charge retention time is long and a problem of charge leakage due to generation of a leak path does not occur, the retention characteristics are excellent. Further, since the material is a material which is normally used in an LSI process,
20 there is an effect that the memory functional element can be easily introduced to a mass production factory. In the case of the insulation film including therein a conductive film or semiconductor layer, an injection amount of charges into the conductor or semiconductor can be freely controlled, so that an
25 effect of realizing multiple values is produced. In the case of

the insulation film including one or more dots made of a conductor or semiconductor, writing and erasing is easily performed by charge direct tunneling, so that an effect of lower power consumption is obtained. Further, as an embodiment of the charge holding film, a ferroelectric film made of PZT, PLZT or the like in which a polarization direction changes according to an electric field may be used. In this case, in the surface of the ferroelectric film, charges are substantially generated by polarization and its state is held. Therefore, a hysteresis characteristic similar to that of a film for trapping charges supplied from the outside of a film on which the memory function is provided can be obtained. In addition, charge holding of the ferroelectric film does not require injection of charges from the outside and a hysteresis characteristic can be obtained only by polarization of the charges in the film. Thus, an effect that writing and erasing can be performed at high speed is produced.

Since the memory functional element includes the film having the function of holding charges and at least a part of the film having the function of holding charges overlap with the source/drain region, decrease in read current is suppressed. Therefore, the reading operation speed of the semiconductor storage device can be increased.

Further, in the case where the gate insulation film, the gate electrode and the memory functional element are formed on

the semiconductor layer made by an SOI layer, the junction capacitance between the diffusion region and the body region can be reduced considerably, and higher speed of the device and lower power consumption can be realized.

5 In the case of using the semiconductor layer including the well region, while optimizing the impurity concentration immediately below the gate insulation film to memory operations (rewriting operation and reading operation), control of the other electric characteristics (withstand voltage, junction capacitance
10 and short channel effect) is facilitated.

 Further, when the memory functional element includes the charge holding film having the function of holding charges and the insulation film, dissipation of charges is prevented and the retention characteristic can be improved. As compared
15 with the case where the memory functional element is constituted only by the charge holding film, the volume of the charge holding film can be properly reduced. By properly reducing the volume of the charge holding film, movement of charges in the charge holding film is limited and occurrence of a
20 characteristic change due to movement of charges during storage holding can be suppressed. Therefore, the retention characteristic of the memory can be improved. By providing the charge holding film almost parallel with the surface of the gate insulation film in the memory functional element, easiness
25 of formation of an inversion layer in an offset region according

to an amount of charges accumulated in the charge holding film can be effectively controlled. Consequently, the memory effect can be increased. Since the charge holding film is disposed almost parallel with the surface of the gate insulation film, even
5 when the offset amount varies, a change in the memory effect can be held relatively small. Thus, variations in the memory effect can be suppressed. Further, since the charge holding film is a film disposed almost parallel with the surface of the gate insulation film, upward movement of charges is suppressed.
10 Therefore, occurrence of a characteristic change by movement of charges during storage holding can be suppressed. Therefore, a semiconductor storage device producing a high memory effect, with small variations, and having an excellent retention characteristic can be obtained.

15 In the case where the memory functional element further includes the charge holding film extended almost parallel with a side face of the gate electrode, the rewriting speed can be increased while preventing deterioration in the retention characteristic of the semiconductor storage device.

20 Further, in the case where the insulation film which partitions between the gate electrode and the charge holding film extending almost parallel with a side face of the gate electrode is included, movement of charges between the charge holding film extending almost parallel with a side face of the
25 gate electrode and the gate electrode can be suppressed.

Therefore, reliability of the semiconductor storage device can be increased.

Further, in the case where the insulation film which partitions between the charge holding film extending almost parallel with the gate insulation film surface and the channel region or the semiconductor layer is included, dissipation of charges accumulated in the charge holding film almost parallel with the surface of the gate insulation film is suppressed. Thus, the semiconductor storage device having a better retention characteristic can be obtained.

In the case where the insulation film partitioning between the charge holding film and the channel region or the semiconductor layer is thinner than the gate insulation film, without deteriorating the withstand voltage performance of the memory, the voltage of the writing and erasing operations can be decreased or the writing and erasing operations can be performed at higher speed, and the memory effect can be increased.

In the case where the insulation film partitioning between the charge holding film and the channel region or the semiconductor layer is thicker than the gate insulation film, without deteriorating the short channel effect of the memory, the retention characteristic can be improved.

Further, the first conductivity type semiconductor layer has a region having concentration of the impurity which gives

the first conduction type, higher than that of a portion in the vicinity of the surface of the first conductivity type semiconductor layer under the gate electrode, below the memory functional element and in the vicinity of the source/drain region.

5 Consequently, the junction between the diffusion region and the semiconductor layer is sharp immediately under the memory functional element. Therefore, hot carries are easily generated in the writing and erasing operations, voltages of the writing and erasing operations decrease or the writing operation and
10 erasing operation can be performed at high speed. Further, since the impurity concentration immediately below the gate insulating film is relatively low, the threshold when the memory is in an erase state is low and the drain current is large. Consequently, reading speed improves. Thus, the
15 semiconductor storage device having a low rewriting voltage or high rewriting speed and high reading speed can be obtained.

When a length of the gate electrode in a cut plane in a channel length direction is A, a channel length between the source/drain regions is B, and a distance from an end of one of
20 the memory functional elements to an end of the other memory functional element is C, a relation of $A < B < C$ is satisfied. Consequently, increase in the memory effect, increase in speed of reading operation, and reduction in the short channel effect are realized.

25 Further, in the case where each of the source/drain

regions disposed on the side opposite to the gate electrode of the memory functional element are of the N type (P type), magnitude of a voltage applied to one of the source/drain regions and magnitude of a voltage applied to the other region are reversed
5 between the time of changing a storage state by injecting electrons (holes) into the memory functional element and the time of reading the storage state of the memory functional element. Consequently, the storage state of a desired memory functional element can be detected with high sensitivity.
10 Further, resistance to read disturbance is improved.

By providing a portable electronic apparatus with the semiconductor storage device of the invention, the function and operation speed can be improved. As the manufacturing cost is reduced, an inexpensive portable electronic apparatus can be
15 obtained.

CLAIMS

1. A semiconductor storage device comprising: a first conductivity type region formed in a semiconductor layer; a second conductivity type region formed in the semiconductor layer in contact with the first conductivity type region; a
5 memory functional element disposed on said semiconductor layer across the boundary of said first and second conductivity type regions; and an electrode provided in contact with the memory functional element and on the first conductivity type
10 region via an insulation film.

2. A semiconductor storage device comprising: a first conductivity type region formed in a semiconductor layer; two second conductivity type regions formed on both sides of the
15 first conductivity type region in the semiconductor layer; two memory functional elements each disposed on said semiconductor layer across the boundaries of said first and second conductivity type regions; and electrodes provided in contact with each of the memory functional elements and on the
20 first conductivity type region via an insulation film.

3. The semiconductor storage device according to claim 2, wherein charges are accumulated independently in each of the two memory functional elements, thereby storing
25 information of two bits or more.

4. A semiconductor storage device comprising: a channel region formed in a semiconductor layer; variable resistance regions provided on both sides of the channel region; two
5 diffusion regions provided on both sides of the channel region via the variable resistance regions; a gate electrode provided on the channel region via a gate insulation film; and two memory functional elements disposed on both sides of the gate electrode each across the variable resistance regions and a part of the
10 diffusion regions.

5. The semiconductor storage device according to claim 4, wherein the variable resistance region is set to be of a conductivity type different from a conductivity type of the
15 diffusion region.

6. The semiconductor storage device according to claim 4, wherein a pinch-off point is formed in a region close to one of the memory functional elements in the channel region, thereby
20 reading out information stored in the other memory functional element.

7. A semiconductor storage device comprising: a gate electrode formed on a semiconductor layer via a gate insulation
25 film; a channel region provided under the gate electrode;

diffusion regions provided on both sides of the channel region and having a conductivity type different from the conductivity type of the channel region; and memory functional elements, for holding charges, formed on both sides of the gate electrode so as to overlap with said diffusion regions.

8. A semiconductor storage device comprising at least one memory cell including: a semiconductor layer disposed on a semiconductor substrate or a well region or an insulator provided in the semiconductor substrate; a single gate electrode formed on the semiconductor substrate or the semiconductor layer via a gate insulation film; a channel region provided under the gate electrode; two diffusion regions formed on both sides of the channel region; and two memory functional elements formed on both sides of said gate electrode so as to overlap with said diffusion regions.

9. The semiconductor storage device according to claim 7 or 8, wherein the memory functional element changes at least resistance of the diffusion region positioned under said memory functional element to thereby change an amount of current flowing from one of the diffusion regions to the other diffusion region by applying a voltage to the gate electrode in accordance with the amount of charges held in said memory functional element.

10. The semiconductor storage device according to claim 7 or 8, wherein the memory functional element depletes at least a part of the diffusion region positioned under the memory functional element or inverts the conductivity type in accordance with the amount of charges held in said memory functional element.

11. The semiconductor storage device according to claim 8, wherein one memory cell is constituted by only four terminals: one terminal connected to the semiconductor substrate or the well region provided in the semiconductor substrate or the semiconductor layer disposed on the insulator; two terminals connected to the two diffusion regions; and one terminal connected to the gate electrode.

12. The semiconductor storage device according to claim 8, wherein any of reading, writing or erasing operation on one memory cell is performed by application of only four kinds of voltages: a voltage applied to the semiconductor substrate or the well region provided in the semiconductor substrate or said semiconductor layer disposed on insulator; a voltage applied to the gate electrode; and voltages respectively applied to the two diffusion regions.

13. A semiconductor storage device comprising at least one memory cell including: a semiconductor layer disposed on a semiconductor substrate or a well region or an insulator provided in the semiconductor substrate; a gate insulation film
5 formed on the semiconductor layer which is disposed on the semiconductor substrate or the well region or insulator provided in the semiconductor substrate; a single gate electrode formed on the gate insulation film; a channel region provided just below the gate electrode; two diffusion regions provided on both sides
10 of the channel region; and sidewall insulation films formed on both sides of said gate electrode so as to overlap with the diffusion regions, wherein

said sidewall insulation films have the function of holding charges.

15
14. The semiconductor storage device according to claim 13, wherein the sidewall insulation film depletes at least a part of the diffusion region positioned below said sidewall insulation film or inverts the conductivity type in accordance with an
20 amount of charges held in said sidewall insulation film.

15. The semiconductor storage device according to any of claims 4 to 14, wherein information of four values is stored per one memory cell by the two memory functional elements.

16. The semiconductor storage device according to any of claims 4 to 15, wherein a part of the diffusion region is extended at a level higher than the surface of the channel region, and at least a part of the memory functional element is sandwiched between the gate electrode and a part of said diffusion region.

17. The semiconductor storage device according to any of claims 4 to 15, wherein an electrode wiring terminal is connected to the diffusion region, and at least a part of the memory functional element is sandwiched between the gate electrode and a part of the electrode wiring terminal connected to said diffusion region.

18. The semiconductor storage device according to any of claims 4 to 17, wherein the diffusion region is disposed so as to be offset from an end of the gate electrode.

19. The semiconductor storage device according to any of claims 4 to 17, wherein the diffusion region is disposed so as to overlap with the gate electrode or so that an end portion of the diffusion region is aligned with an end of the gate terminal.

20. The semiconductor storage device according to any of claims 4 to 19, wherein the diffusion regions are made of an

N-type semiconductor, one of the diffusion regions is set to a reference voltage, and the other diffusion region and the gate electrode are set to a voltage higher than the reference voltage, thereby enabling electrons to be injected into the memory

5 functional element.

21. The semiconductor storage device according to any of claims 4 to 19, wherein the diffusion regions are made of an N-type semiconductor, one of the diffusion regions is set to a
10 reference voltage, the other diffusion region is set to a voltage higher than the reference voltage, and the gate electrode is set to a voltage lower than the reference voltage, thereby enabling holes to be injected into the memory functional element.

15 22. The semiconductor storage device according to any of claims 4 to 19, wherein the diffusion regions are made of a P-type semiconductor, one of the diffusion regions is set to a reference voltage, and the other diffusion region and the gate
20 electrode are set to a voltage lower than the reference voltage, thereby enabling holes to be injected into the memory functional element.

23. The semiconductor storage device according to any of claims 4 to 19, wherein the diffusion regions are made of a
25 P-type semiconductor, one of the diffusion regions is set to a

reference voltage, the other diffusion region is set to a voltage lower than the reference voltage, and the gate electrode is set to a voltage higher than the reference voltage, thereby enabling electrons to be injected into the memory functional element.

5

24. A semiconductor storage device comprising:

a semiconductor substrate;

a first conductivity type well region formed in the semiconductor substrate;

10 a gate insulation film formed on the well region;

a plurality of word lines formed on the gate insulation film;

a plurality of second conductivity type diffusion regions formed on both sides of each of the word lines; charge holding
15 films having the function of accumulating or trapping charges, formed on both sides of said plurality of word lines on said word lines, said well region and said diffusion regions directly or via an insulation film on at least a part of the diffusion region or so as to extend on a part of said well region to a part of the
20 diffusion region; and

a plurality of bit lines connected to said diffusion regions and extending in a direction which crosses said word lines.

25 25. The semiconductor storage device according to claim 24, wherein the semiconductor substrate is an SOI substrate

having a surface semiconductor layer, and the first conductivity type well region is formed as a body region in said surface semiconductor layer.

5 26 The semiconductor storage device according to claim 24 or 25, wherein the charge holding film is in contact with the diffusion region and/or the well region or the body region via the insulation film in the vicinity of an end of the word line.

10 27. The semiconductor storage device according to any of claims 24 to 26, wherein a lower end portion of the word line has a recess, and at least a part of the charge holding film is buried in said recess directly or via an insulation film.

15 28. The semiconductor storage device according to any of claims 24 to 27, wherein the word line has a sidewall insulation film on a sidewall, and a part of the sidewall insulation film is formed as a charge holding film.

20 29. The semiconductor storage device according to any of claims 24 to 28, wherein a part of the diffusion region is extended at a level higher than the under face of the gate insulation film and at least a part of the charge holding film is sandwiched between the word line and a part of said diffusion
25 region.

30. The semiconductor storage device according to any of claims 1 to 29, wherein the memory functional element or the sidewall insulation film is a film having the function of
5 accumulating or trapping charges or the function of holding a charge polarized state, which is an insulator film including a silicon nitride film; an insulator film having therein a conductor film or a semiconductor layer; an insulator film having therein one or more dots made of a conductor or a semiconductor; or a
10 single layer or a lamination layer of an insulator film including a ferroelectric film in which internal charges are polarized by an electric field and its state is held.

31. A semiconductor storage device comprising: a gate
15 electrode formed on a semiconductor layer via a gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two diffusion regions each disposed on the side opposite to said gate electrode of said memory functional elements; and a channel
20 region disposed under said gate electrode, wherein

said memory functional element includes a film having the function of holding charges, and at least a part of the film having the function of holding charges is formed so as to overlap with a part of said diffusion region.

25

32. The semiconductor storage device according to claim 31, wherein the semiconductor layer is an SOI layer.

33. The semiconductor storage device according to claim 5 31 or 32, wherein the semiconductor layer includes a well region.

34. The semiconductor storage device according to any of claims 31 to 33, wherein the memory functional element 10 includes a charge holding film having the function of holding charges and an insulation film.

35. The semiconductor storage device according to any of claims 31 to 34, wherein the memory functional element 15 includes a charge holding film having a surface almost parallel with the surface of the gate insulation film.

36. The semiconductor storage device according to claim 35, wherein the memory functional element includes a charge 20 holding film extended almost in parallel with a side face of the gate electrode.

37. The semiconductor storage device according to claim 36, wherein the memory functional element further includes an 25 insulation film which partitions between the gate electrode and

the charge holding film extended almost in parallel with the side face of the gate electrode.

38. The semiconductor storage device according to any
5 of claims 35 to 37, wherein said memory functional element further includes an insulation film which partitions between the charge holding film having a surface almost parallel with the surface of the gate insulation film and the channel region or the semiconductor layer.

10

39. The semiconductor storage device according to claim 38, wherein the thickness of the insulation film which partitions between the charge holding film and the channel region or semiconductor layer is smaller than the thickness of the gate
15 insulation film and is 0.8 nm or larger.

40. The semiconductor storage device according to claim 38, wherein the thickness of the insulation film which partitions between the charge holding film and the channel region or
20 semiconductor layer is larger than the thickness of the gate insulation film and is 20 nm or less.

41. A semiconductor storage device comprising: a first conductivity type semiconductor layer; a gate insulation film
25 formed on the first conductivity type semiconductor layer; a gate

electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; and two second conductivity type diffusion regions each disposed on the side opposite to said gate electrode of the memory functional elements, wherein

said memory functional element includes a film having the function of holding charges, at least a part of the film having the function of holding charges overlaps with at least a part of the diffusion region, and

said first conductivity type semiconductor layer has a first conductivity type high-concentration region having a concentration higher than that of a portion in the vicinity of the surface of the first conductivity type semiconductor layer under said gate electrode, under said memory functional element and in the vicinity of said diffusion region.

42. A semiconductor storage device comprising: a gate insulation film; a gate electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two diffusion regions each disposed on the side opposite to said gate electrode of the memory functional elements; and a channel region disposed under said gate electrode, wherein

when a length of said gate electrode in a channel length direction is A, a channel length between said diffusion regions is

B, and a distance from an end of one of said memory functional elements to an end of the other memory functional element is C, a relation of $A < B < C$ is satisfied.

5 43. A semiconductor storage device comprising: a gate insulation film; a gate electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two
10 N-type diffusion regions each disposed on the side opposite to said gate electrode of the memory functional elements; and a channel region disposed under said gate electrode, wherein
 magnitude of a voltage applied to one of said diffusion regions and magnitude of a voltage applied to the other diffusion region are reversed between the time of changing a storage state
15 by injecting electrons into said memory functional element and the time of reading out the storage state of the memory functional element.

20 44. A semiconductor storage device comprising: a gate insulation film; a gate electrode formed on the gate insulation film; memory functional elements formed on both sides of the gate electrode and having the function of holding charges; two
 P-type diffusion regions each disposed on the side opposite to said gate electrode of the memory functional elements; and a
25 channel region disposed under said gate electrode, wherein

magnitude of a voltage applied to one of said source and drain regions and magnitude of a voltage applied to the other region are reversed between the time of changing a storage state by injecting holes into said memory functional element and the
5 time of reading out the storage state of the memory functional element.

45. A manufacturing method of the semiconductor storage device according to claim 28, comprising the steps of:
10 forming a gate insulation film and a gate electrode on a semiconductor substrate; depositing an insulation film having the function of accumulating or trapping charges on the whole surface of the obtained substrate; and forming a sidewall insulation film on a sidewall of the gate electrode by selectively
15 etching the insulation film.

46. An operating method of a semiconductor storage device comprising: a single gate electrode formed on a P-type semiconductor layer disposed on a P-type semiconductor
20 substrate, a P-type well region formed in the semiconductor substrate, or an insulator; a channel region disposed under the single gate electrode; two N-type source/drain regions positioned on both sides of the channel region; and a memory functional element existing in the vicinity of the source/drain
25 regions, wherein

one of the source/drain regions is set to a reference voltage, said gate electrode is set to a voltage lower than the reference voltage, said semiconductor layer formed on said semiconductor substrate, said well region formed in the semiconductor substrate, or the insulator is set to a voltage higher than the reference voltage, and the other source/drain region is set to a voltage higher than said semiconductor layer formed on said semiconductor substrate, said well region formed in the semiconductor substrate, or said insulator, thereby injecting holes into said memory functional element.

47. An operating method of a semiconductor storage device comprising: a single gate electrode formed on an N-type semiconductor layer disposed on an N-type semiconductor substrate, an N-type well region formed in the semiconductor substrate, or an insulator; a channel region under the single gate electrode; two P-type source/drain regions positioned on both sides of the channel region; and a memory functional element existing in the vicinity of the source/drain regions, wherein

one of the source/drain regions is set to a reference voltage, said gate electrode is set to a voltage higher than the reference voltage, said semiconductor layer disposed on said semiconductor substrate, said well region formed in the semiconductor substrate, or the insulator is set to a voltage

lower than the reference voltage, and the other source/drain region is set to a voltage lower than said semiconductor layer disposed on said semiconductor substrate, said well region formed in the semiconductor substrate, or the insulator, thereby
5 injecting electrons into said memory functional element.

48. An operating method of the semiconductor storage device according to claim 46 or 47, wherein a memory functional element or a sidewall insulation film is a film having the
10 function of accumulating or trapping charges or the function of holding a charge polarized state, which is a single layer or a lamination film of, an insulator film including a silicon nitride film; an insulator film having therein a conductor film or a semiconductor layer; an insulator film having therein one or
15 more dots made of a conductor or a semiconductor; or an insulation film including a ferroelectric film in which internal charges are polarized by an electric field and its state is held.

49. A portable electronic apparatus comprising the
20 semiconductor storage device according to any of claims 1 to 44.

ABSTRACT

The present invention provides a semiconductor storage device having: a first conductivity type region formed in a semiconductor layer; a second conductivity type region formed in the semiconductor layer in contact with the first conductivity type region; a memory functional element disposed on the semiconductor layer across the boundary of the first and second conductivity type regions; and an electrode provided in contact with the memory functional element and on the first conductivity type region via an insulation film, and a portable electronic apparatus comprising the semiconductor storage device. The present invention can fully cope with scale-down and high-integration by constituting a selectable memory cell substantially of one device.

FIG. 2

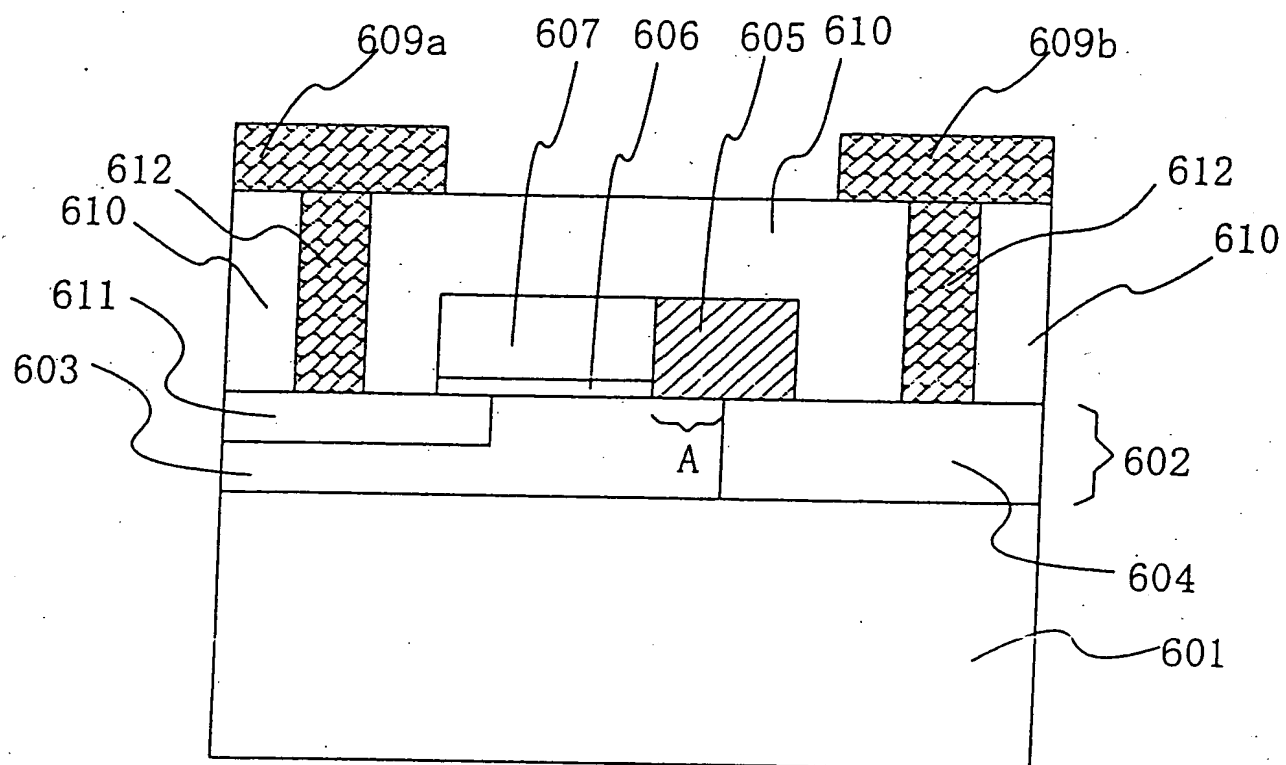


FIG. 3

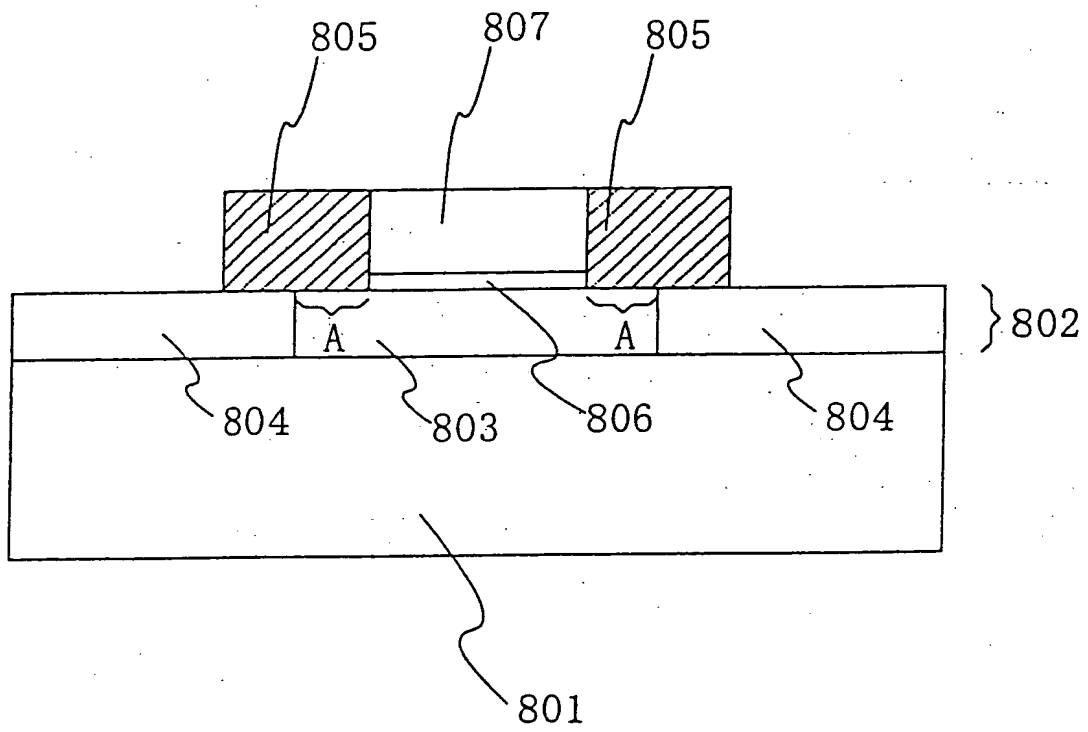


FIG. 4

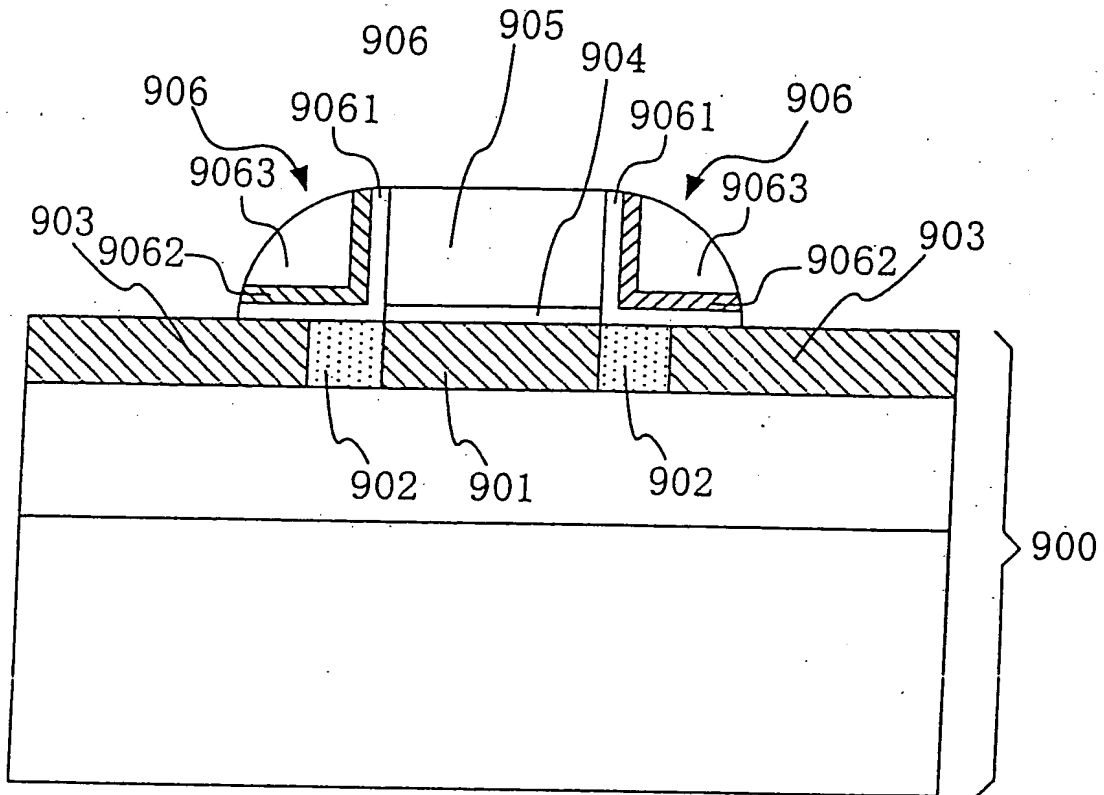


FIG. 5(a)

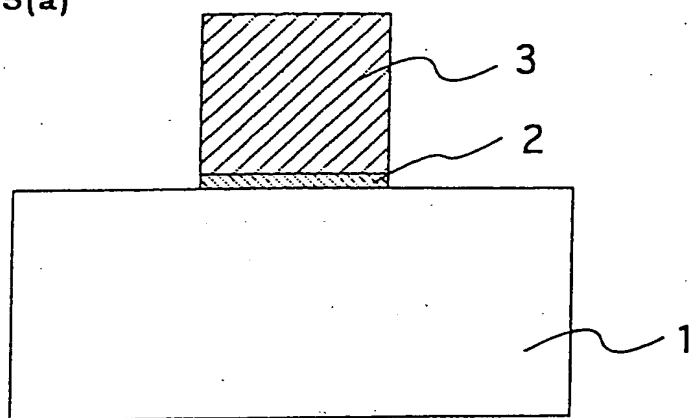


FIG. 5(b)

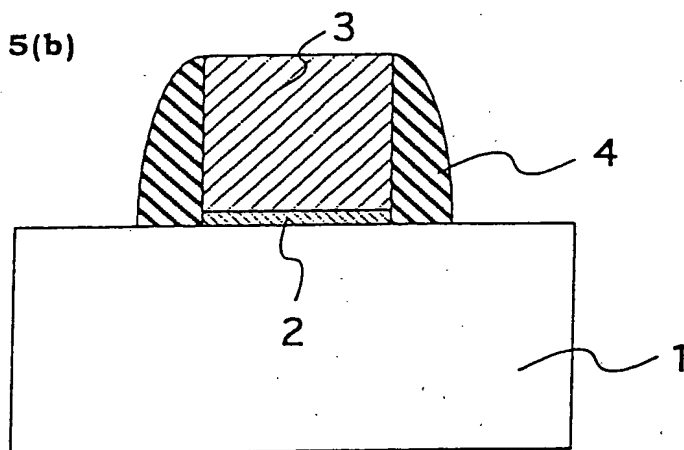


FIG. 5(c)

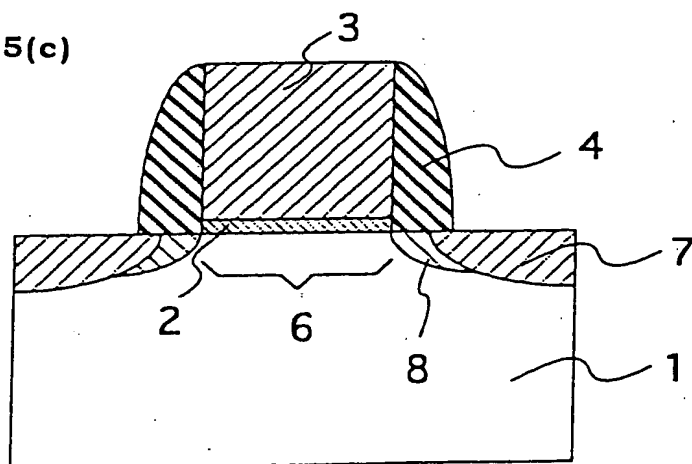


FIG. 6(a)

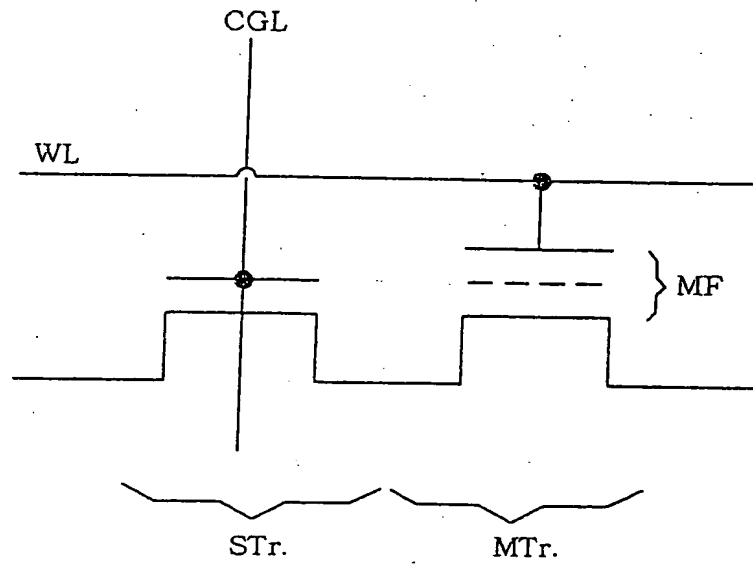


FIG. 6(b)

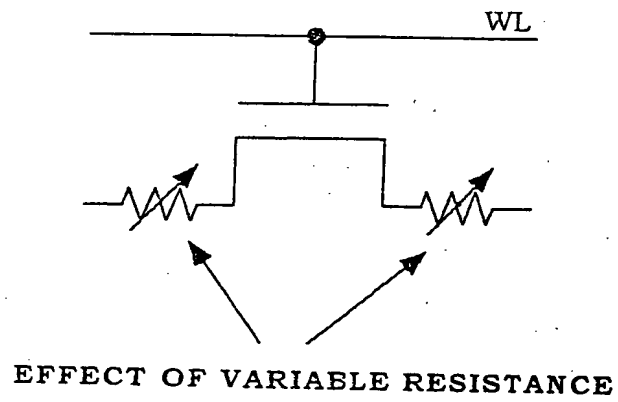


FIG. 7(a)

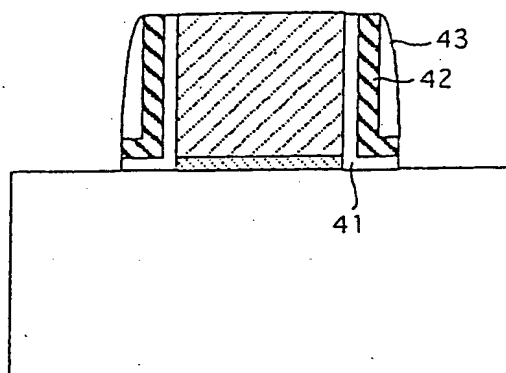


FIG. 7(d)

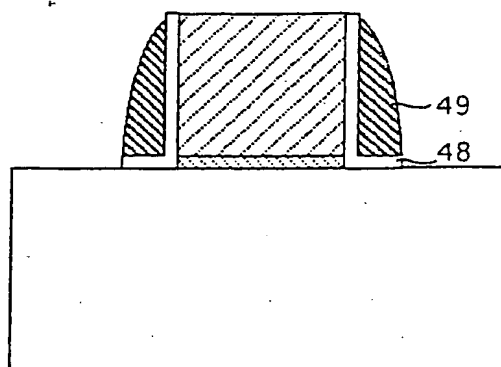


FIG. 7(b)

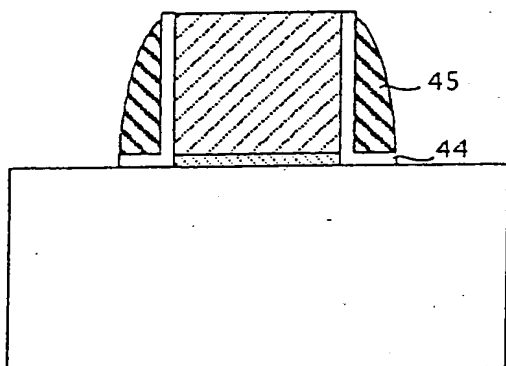


FIG. 7(e)

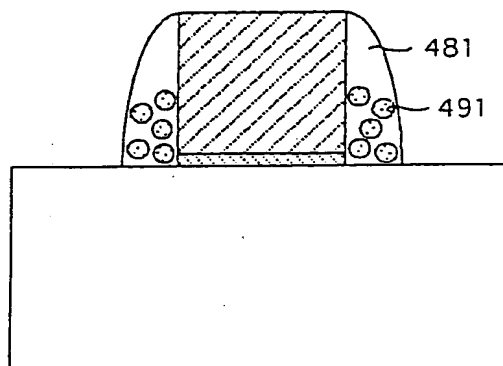


FIG. 7(c)

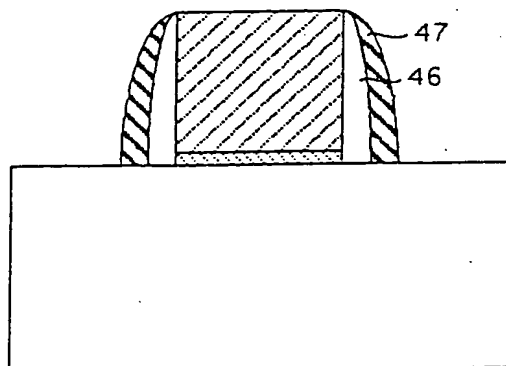


FIG. 8

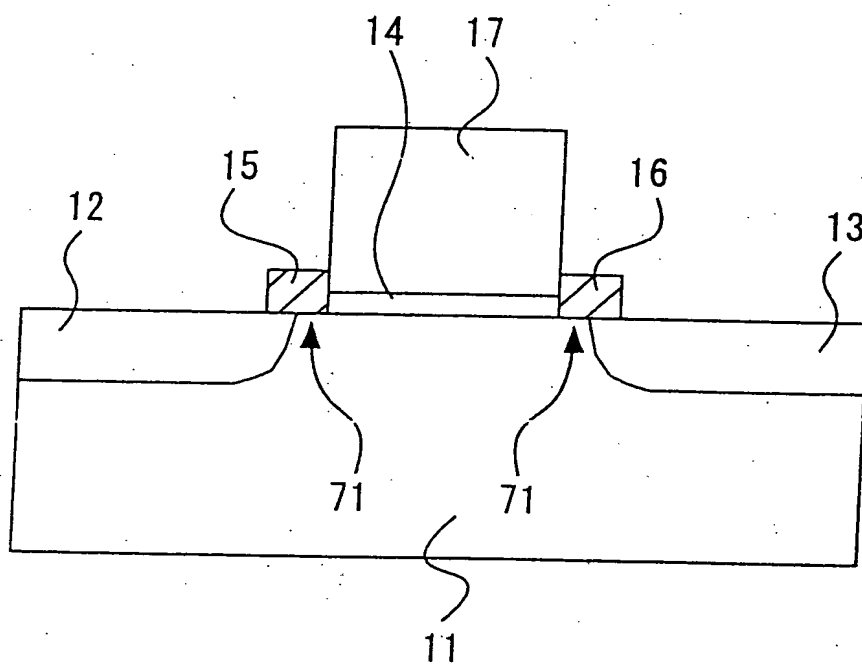


FIG. 9 (a)

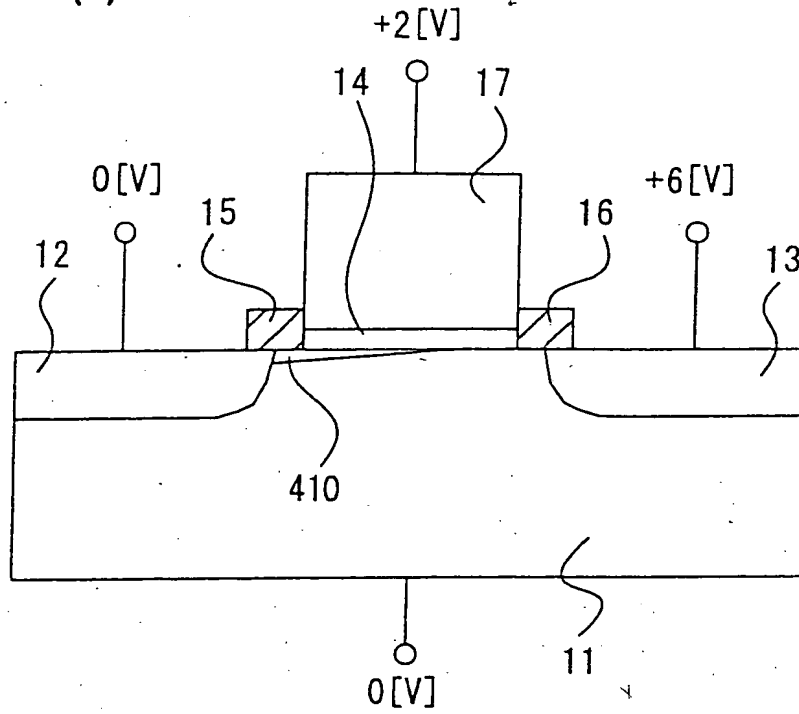


FIG. 9(b)

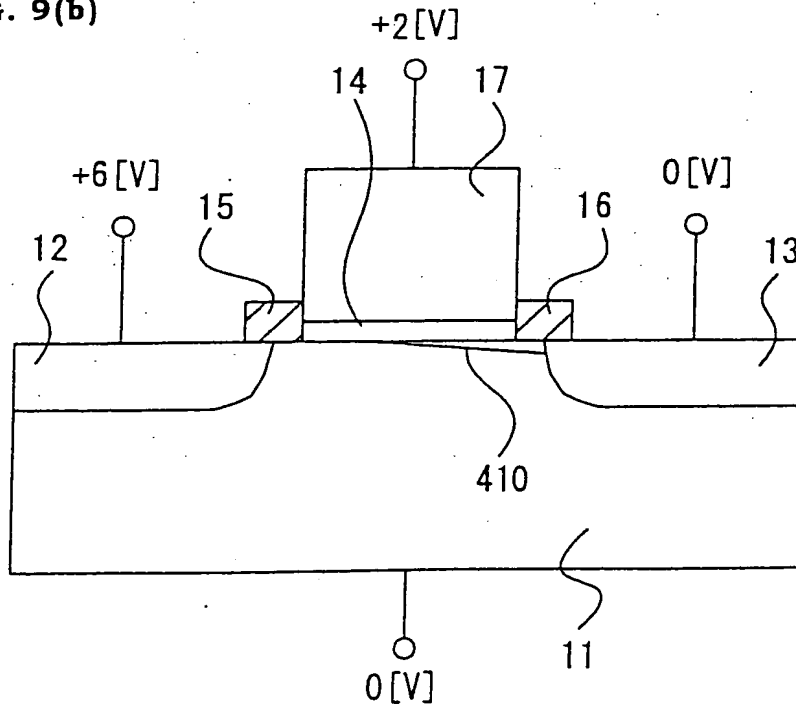


FIG. 10

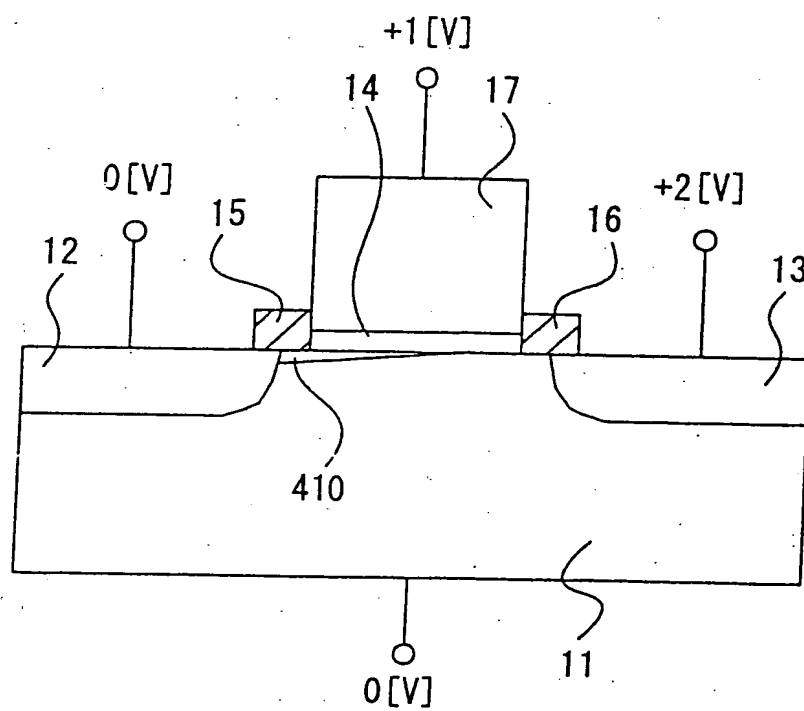


FIG. 11

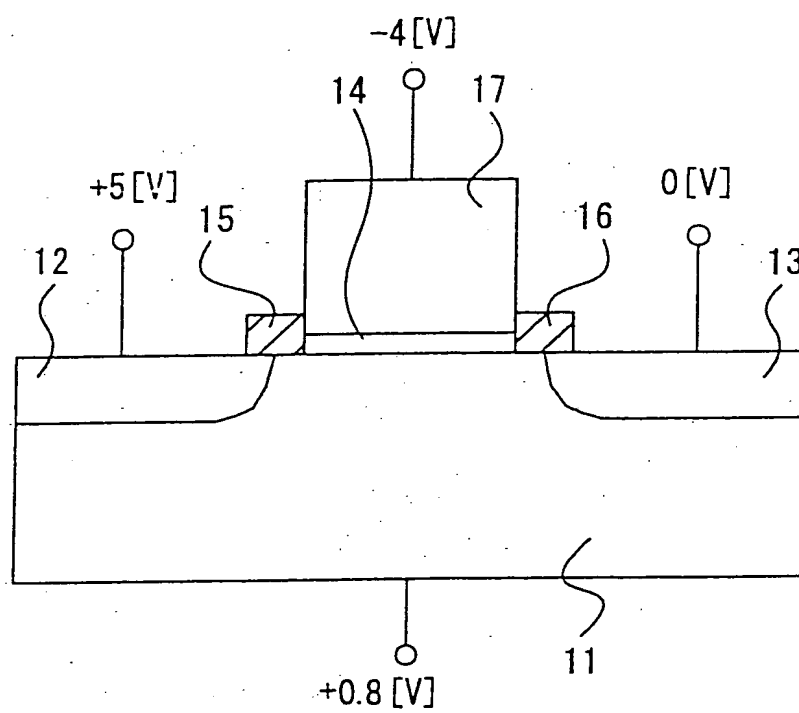


FIG. 12

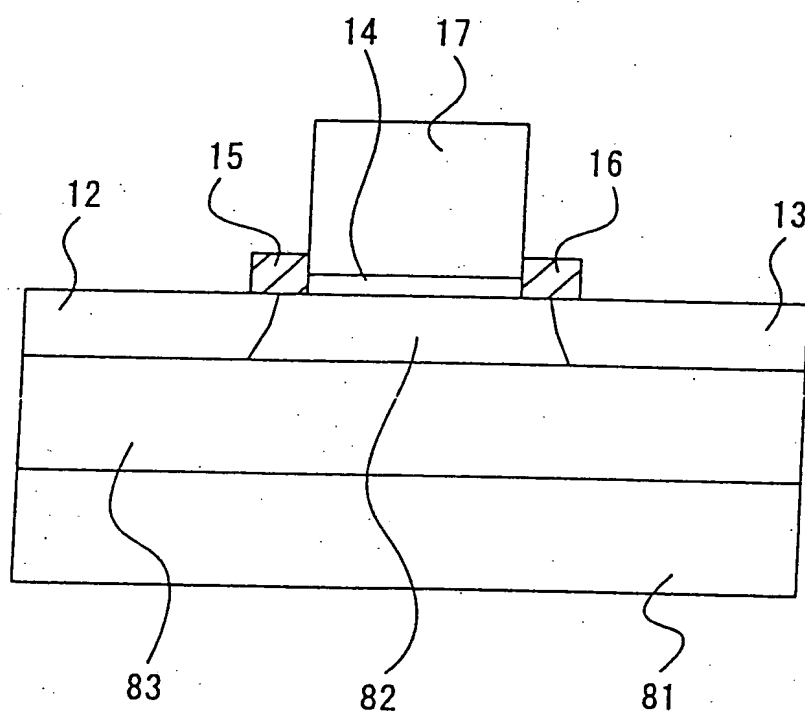


FIG. 13

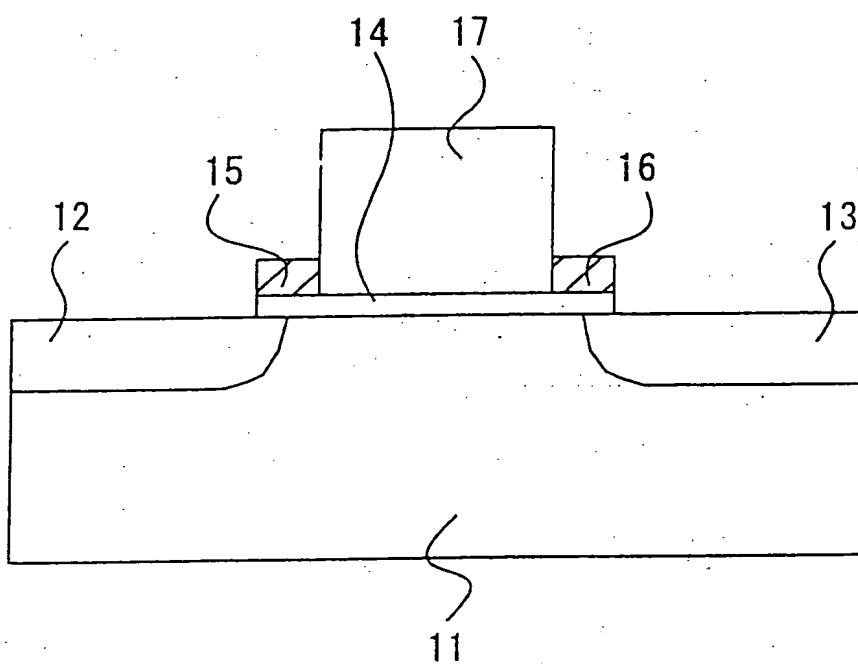


FIG. 14

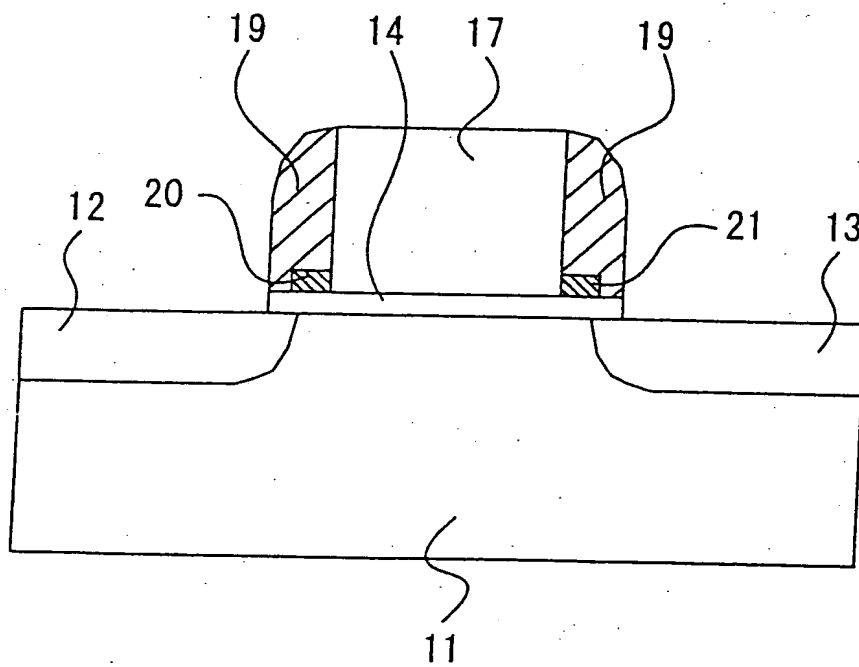


FIG. 15

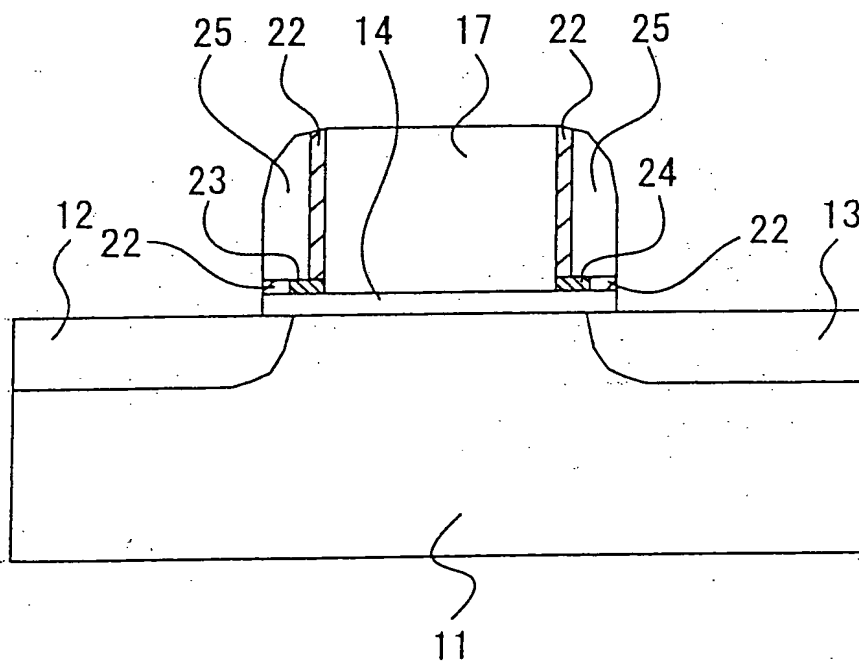


FIG. 15 (a)

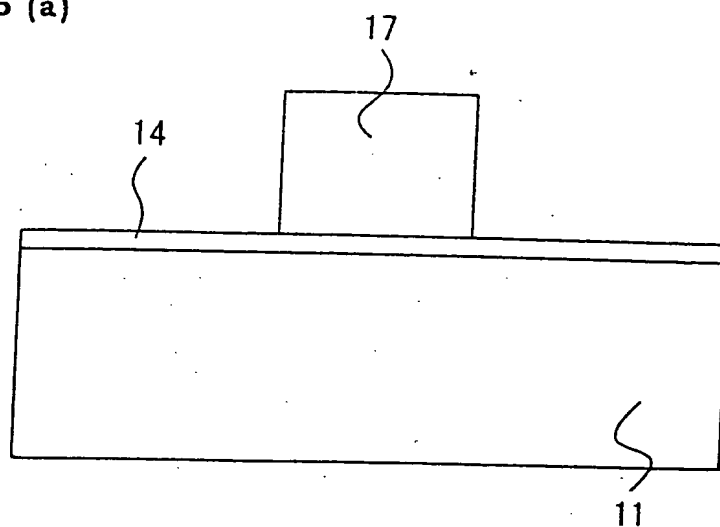


FIG. 16(b)

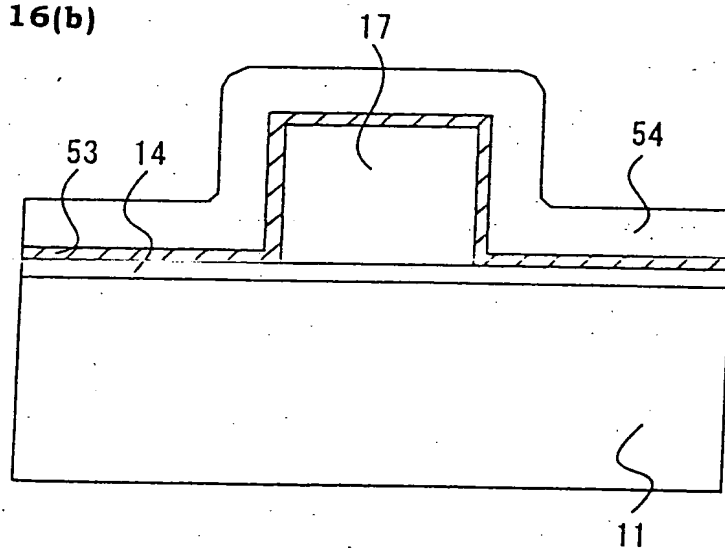


FIG. 16(c)

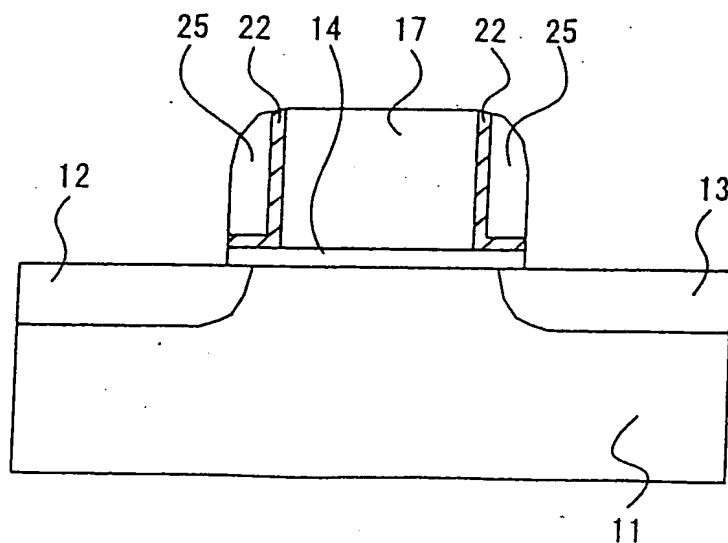


FIG. 17

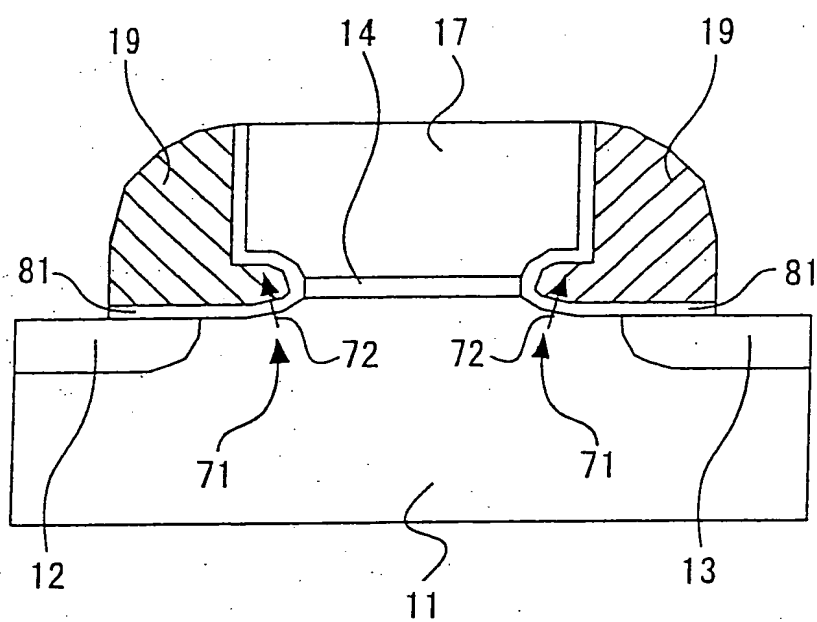


FIG. 18 (a)

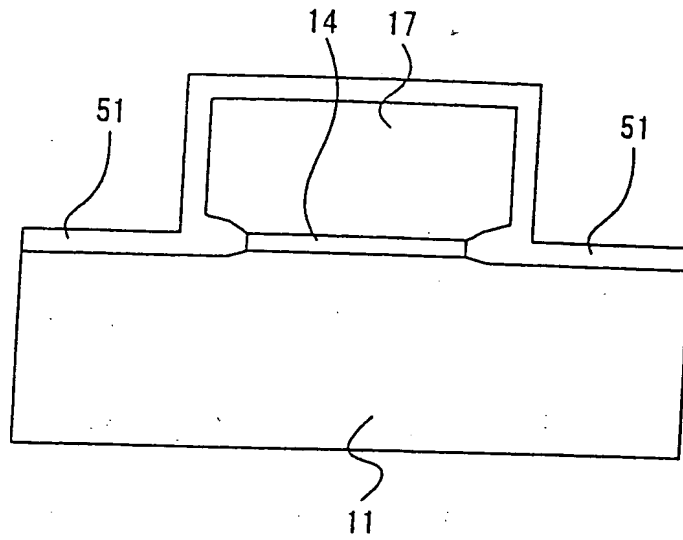


FIG. 18(b)

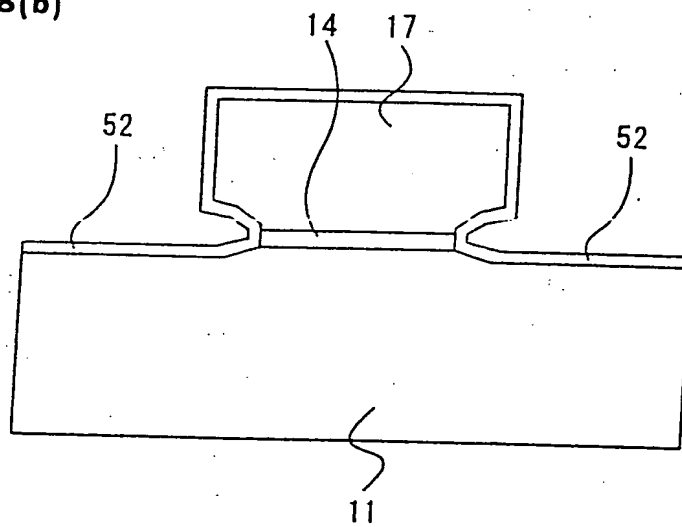


FIG. 18(c)

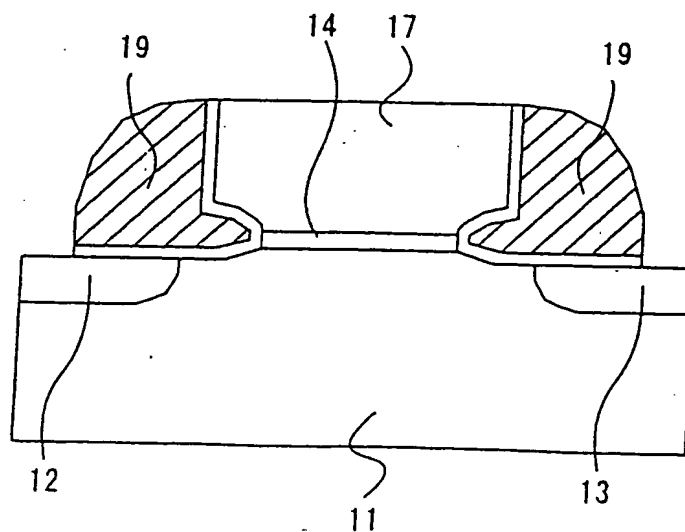


FIG. 19

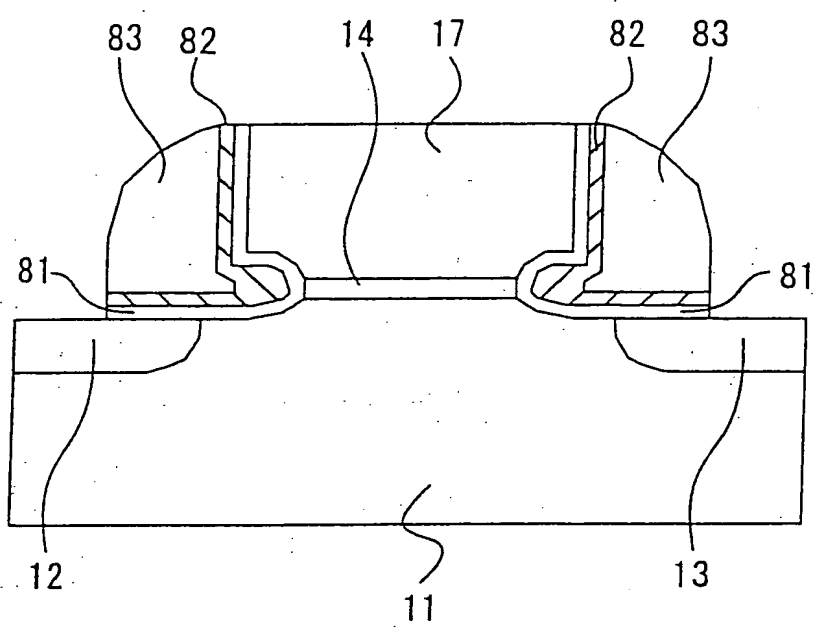


FIG. 21 (a)

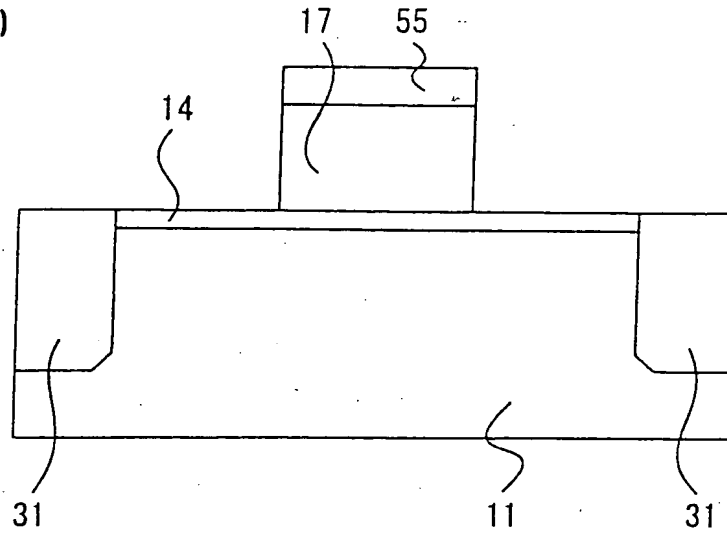


FIG. 21(b)

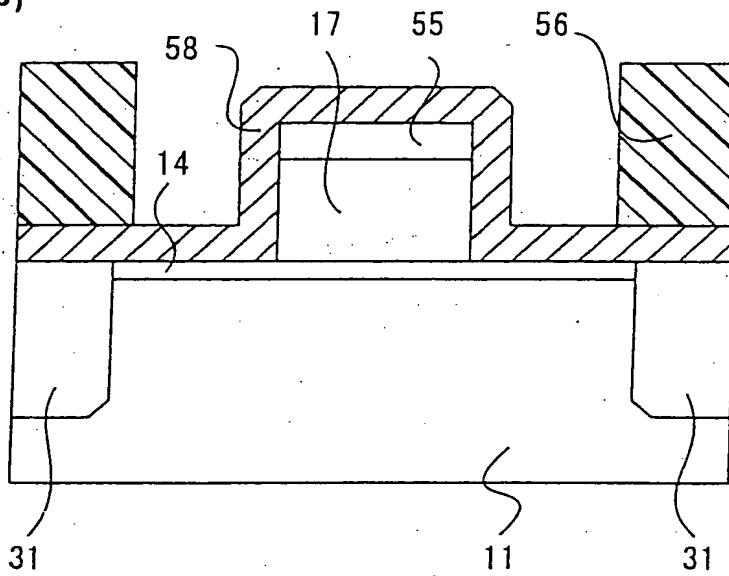


FIG. 21(c)

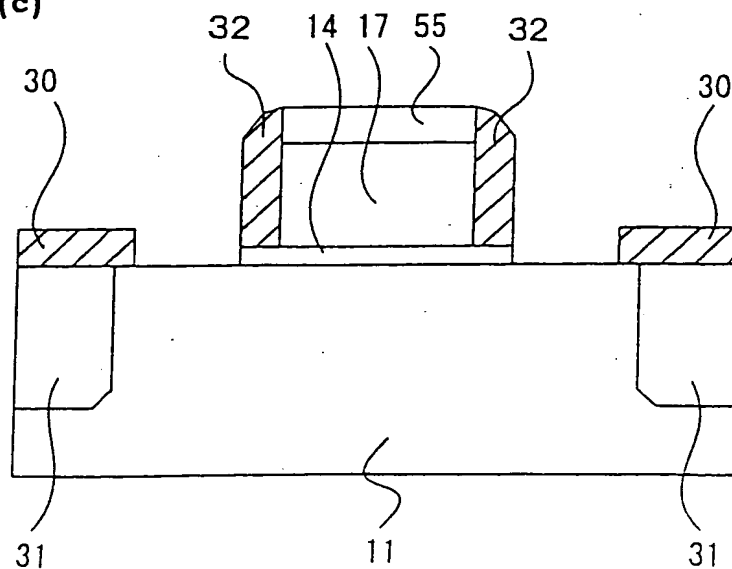


FIG. 22 (d)

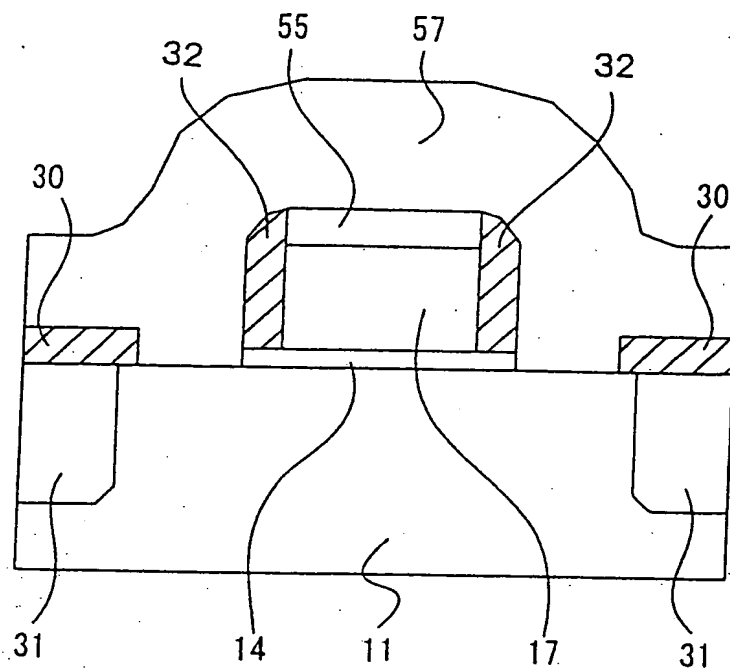


FIG. 22(e)

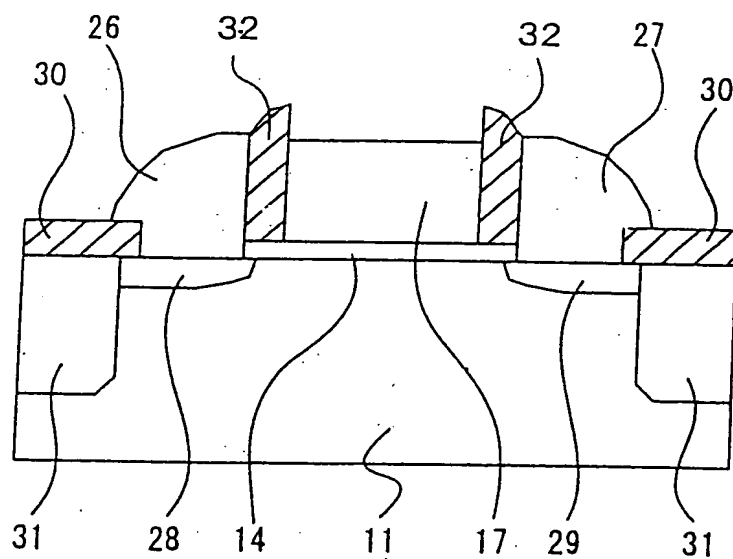


FIG. 23(a)

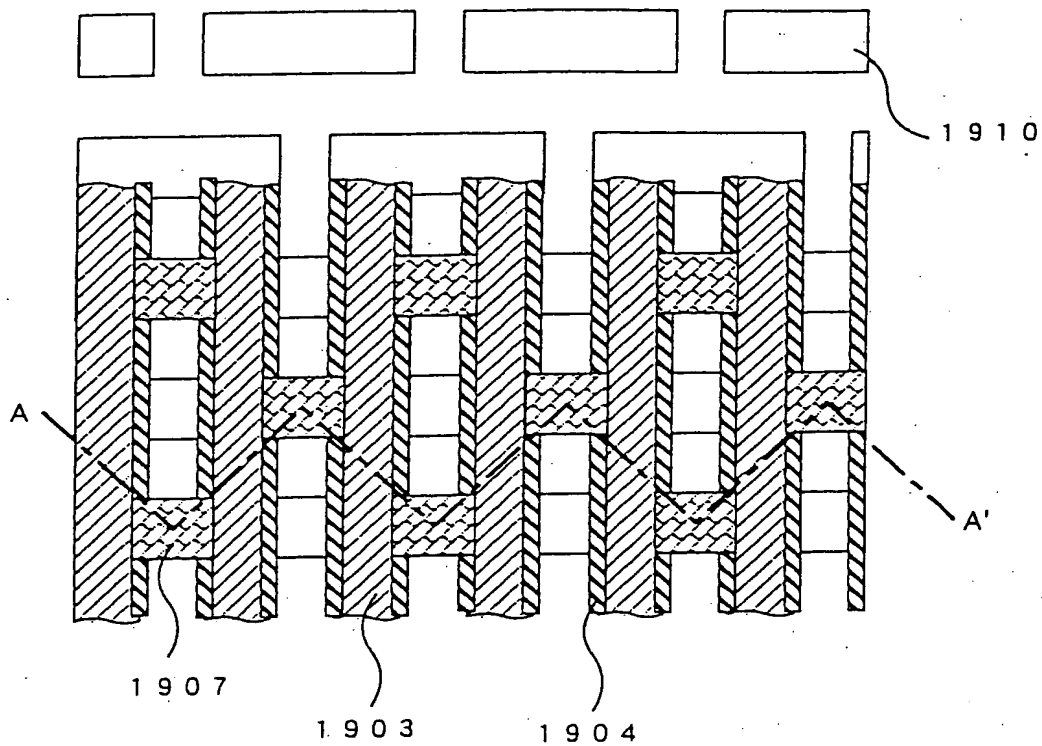


FIG. 23(b)

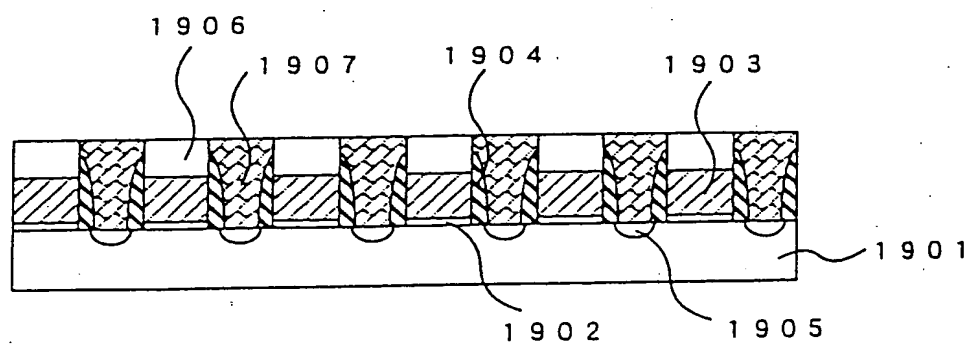


FIG. 24

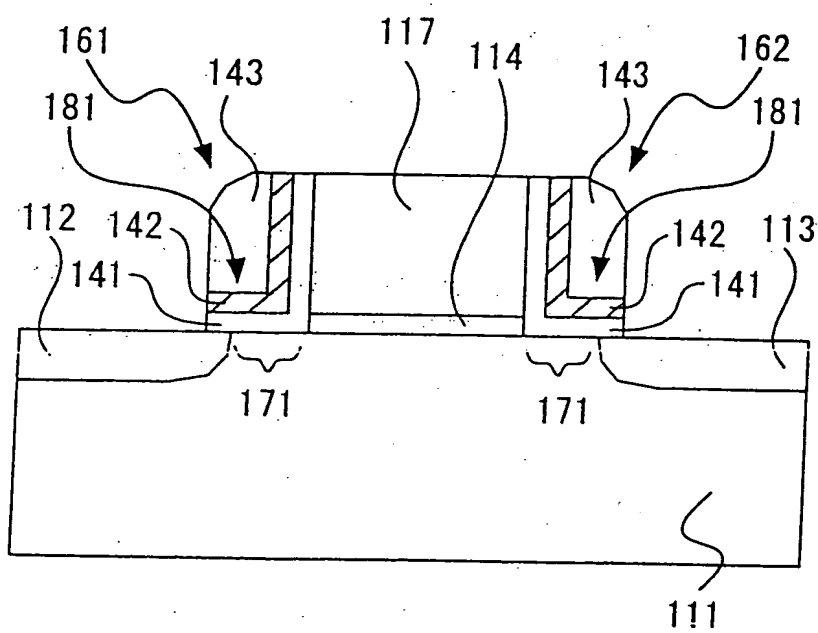


FIG. 25

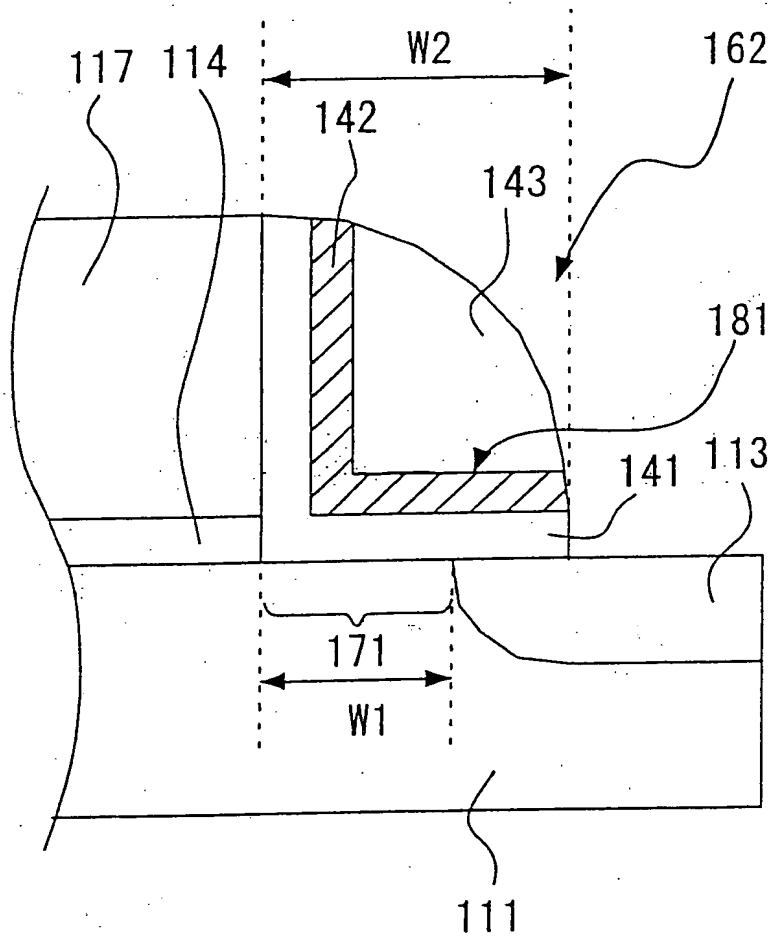


FIG. 26

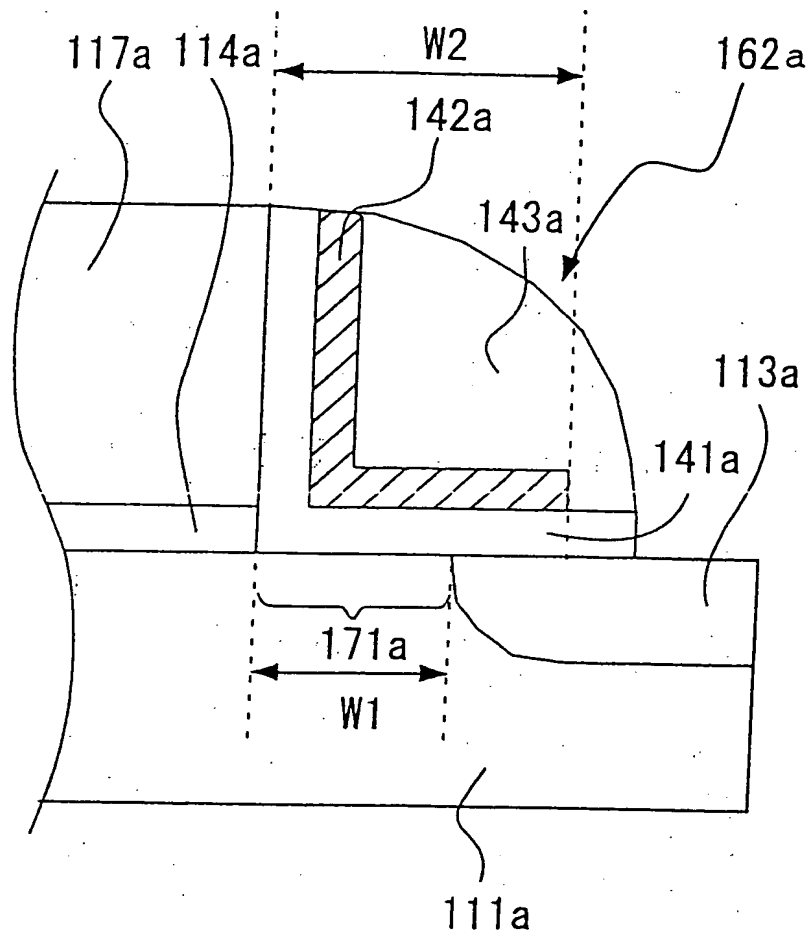


FIG. 27

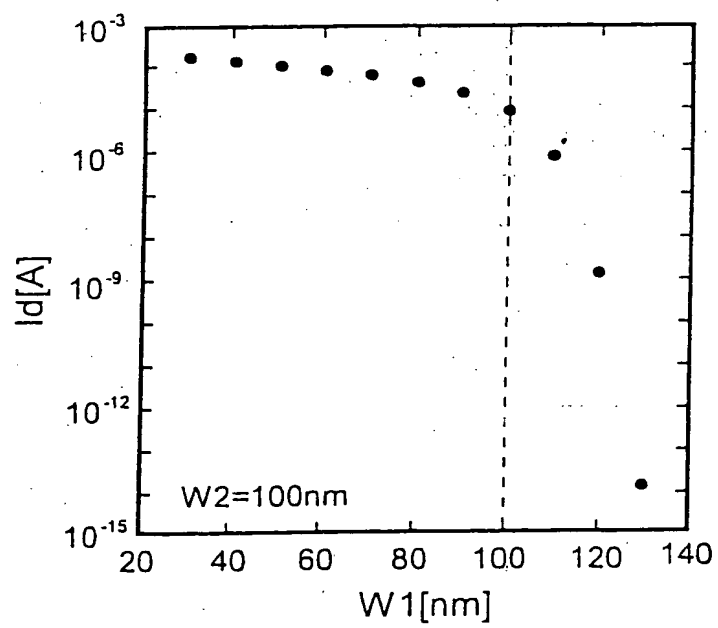


FIG. 28

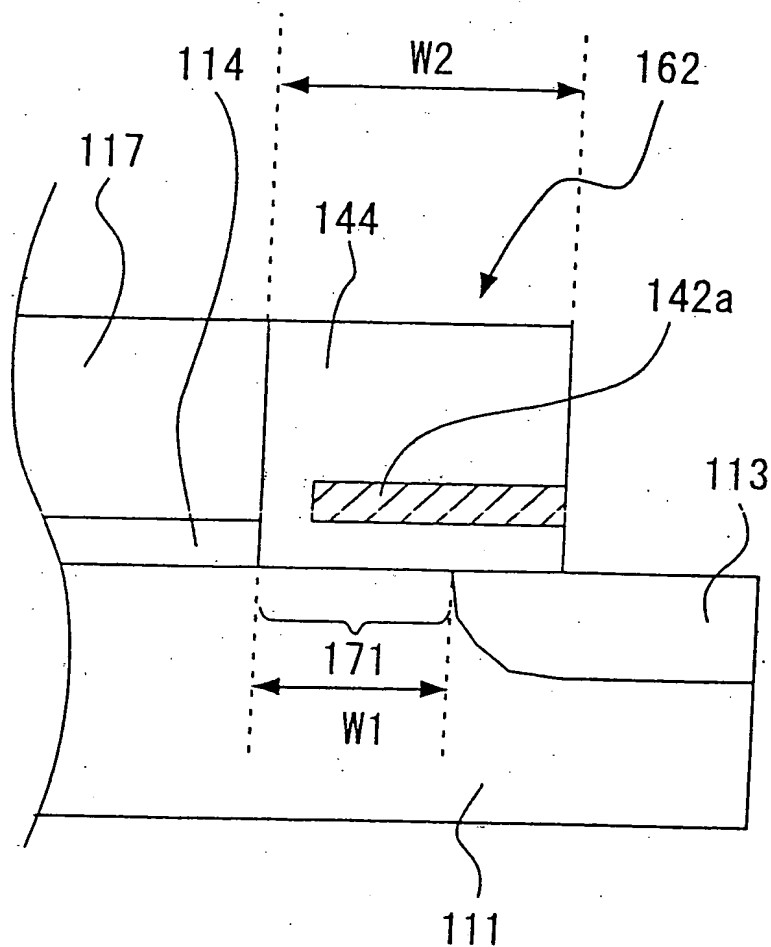


FIG. 29

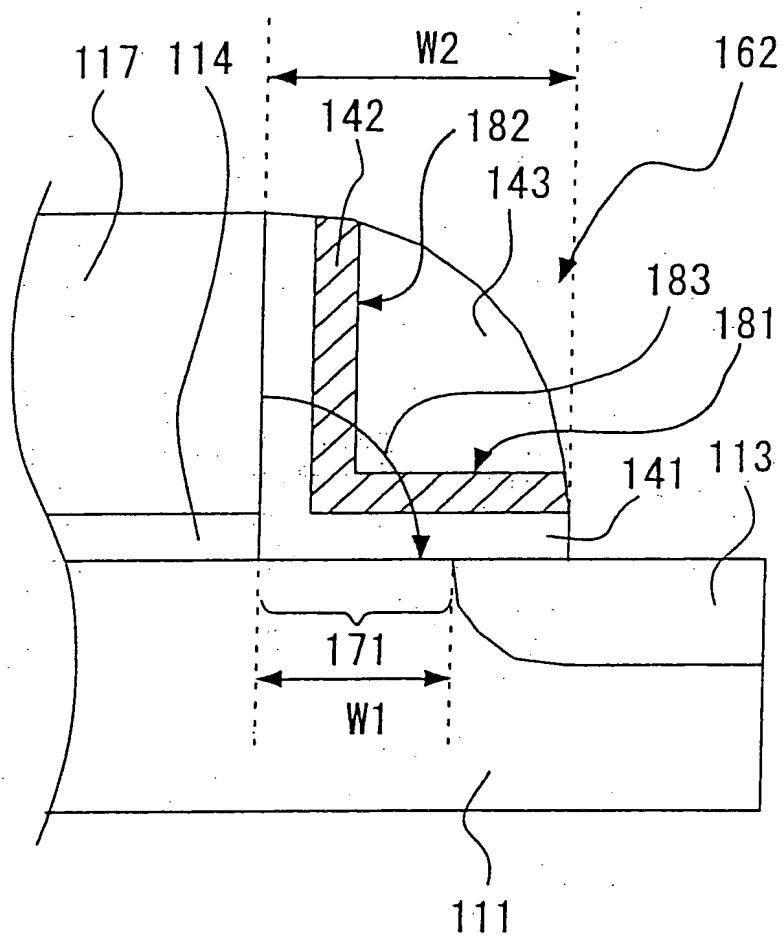


FIG. 30

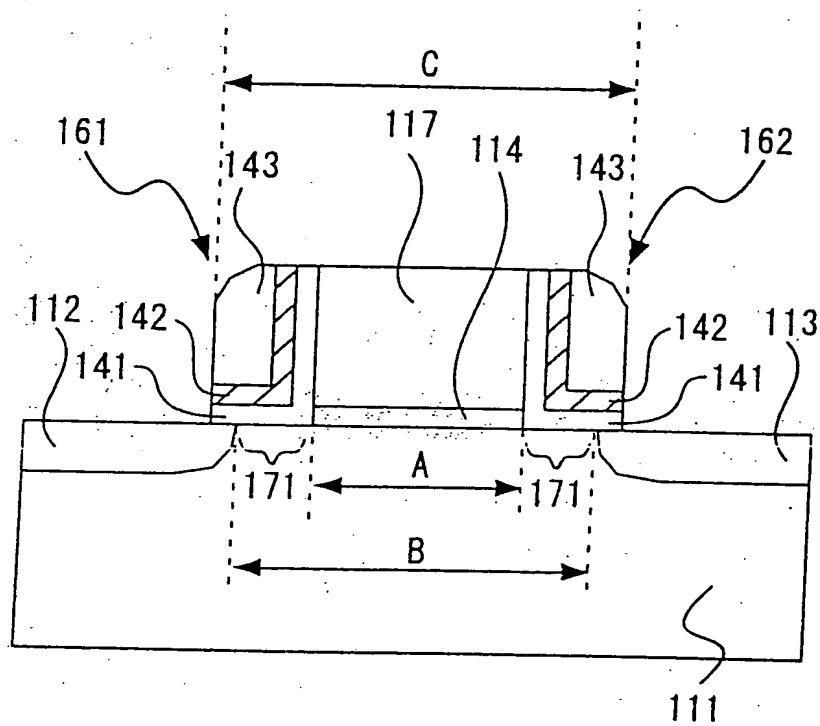


FIG. 31

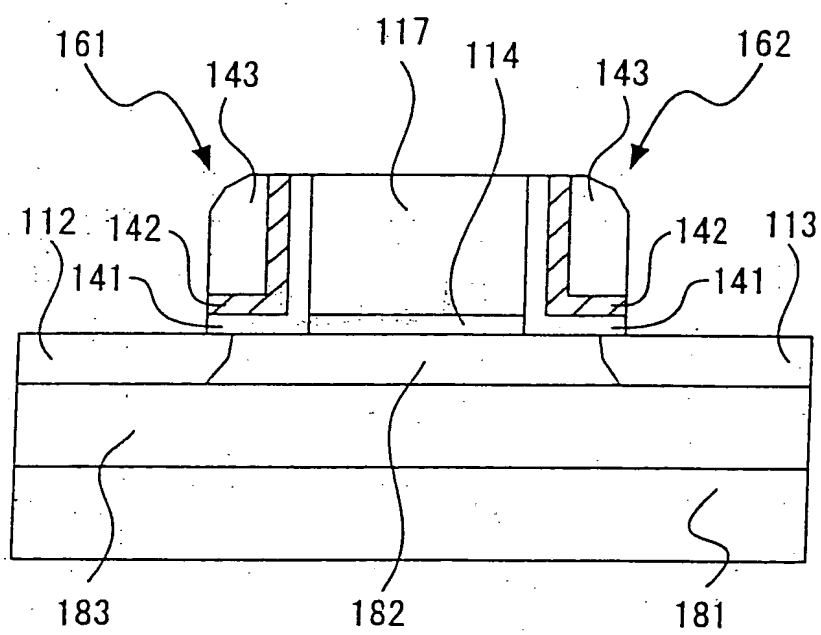


FIG. 32

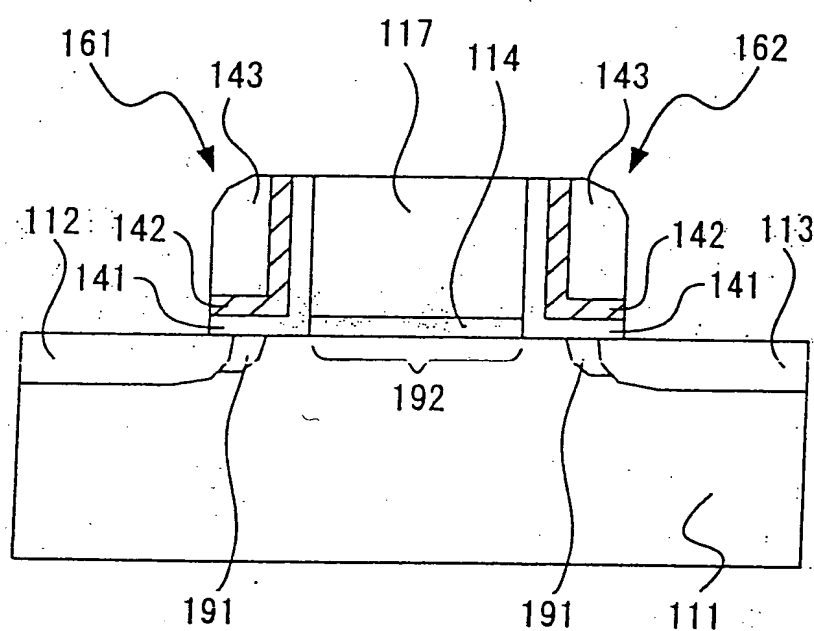


FIG. 33

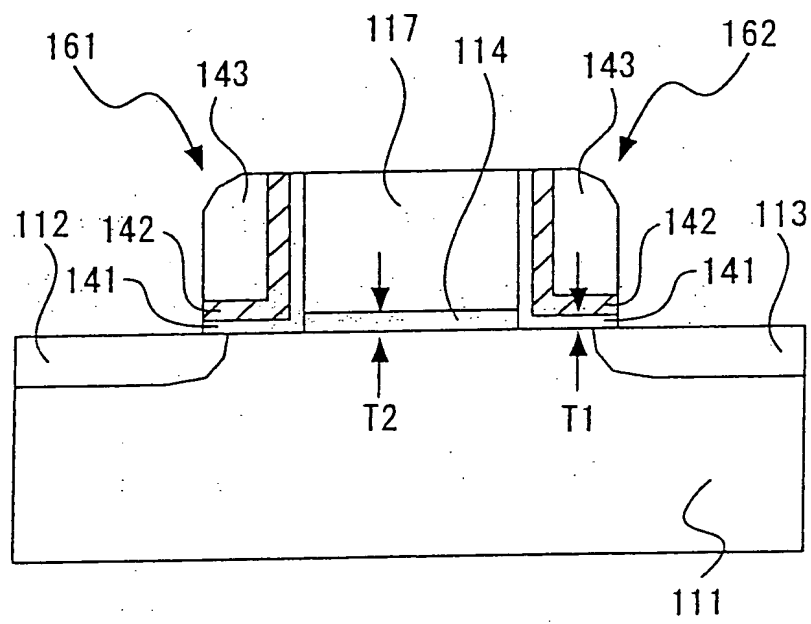


FIG. 34

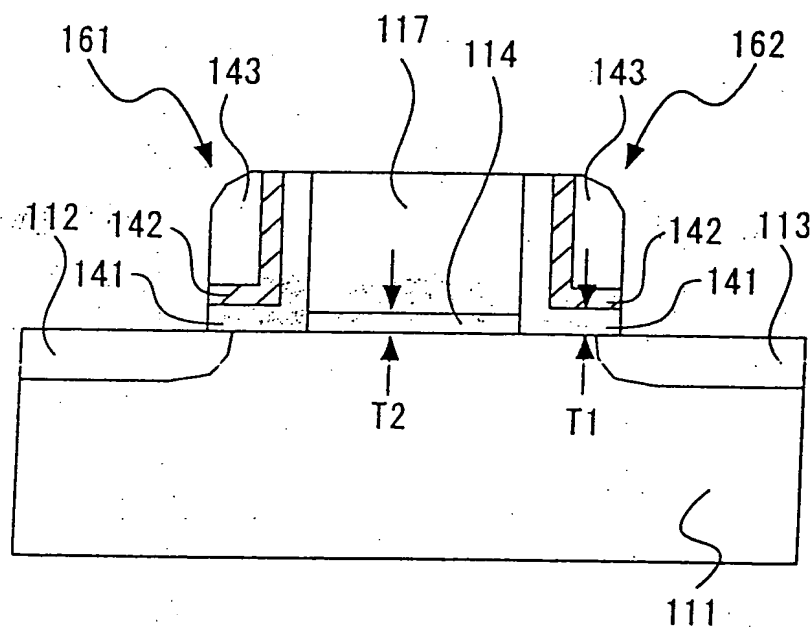


FIG. 35

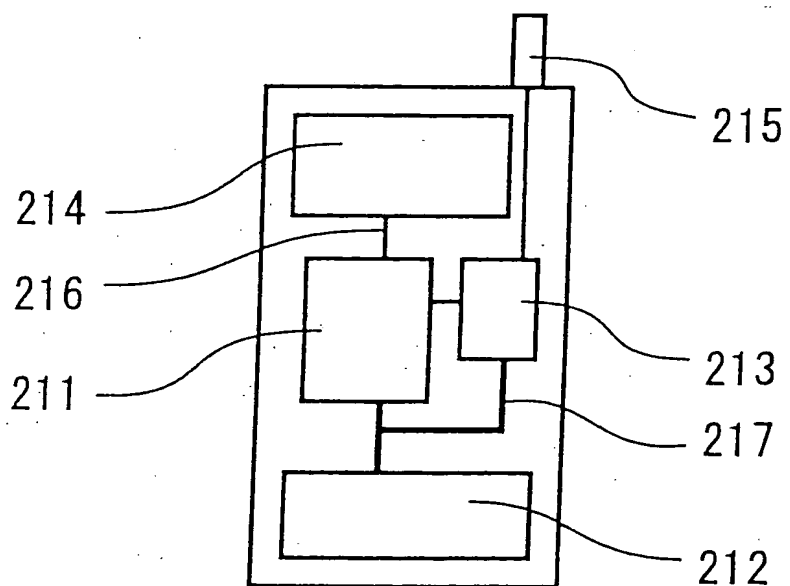


FIG. 36 (a)

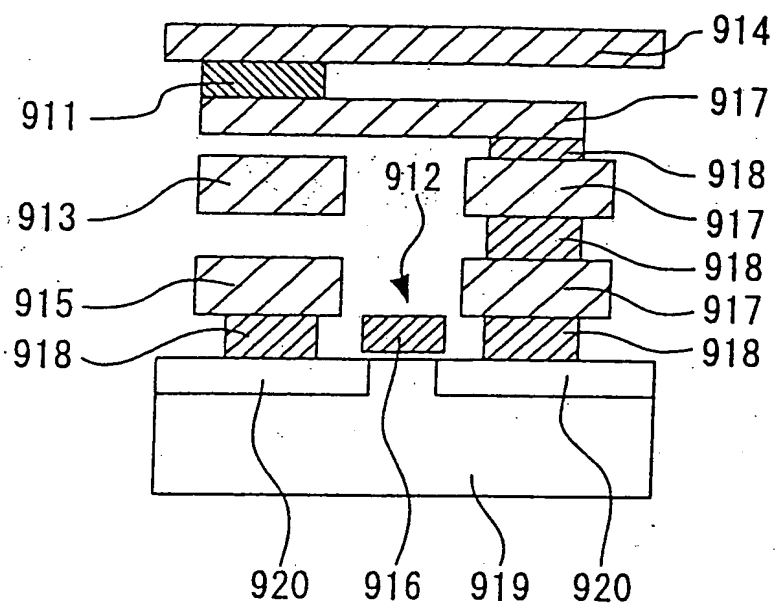


FIG. 36(b)

